

PATENT ABSTRACTS OF JAPAN

(1)Publication number : 2002-016255

(43)Date of publication of application : 18.01.2002

(51)Int.Cl. H01L 29/786

(21)Application number : 2001-143342

(71)Applicant : INTERNATL BUSINESS MACH CORP
<IBM>

(22)Date of filing : 14.05.2001

(72)Inventor : COHEN GUY
WONG HON-SUM PHILIP

(30)Priority

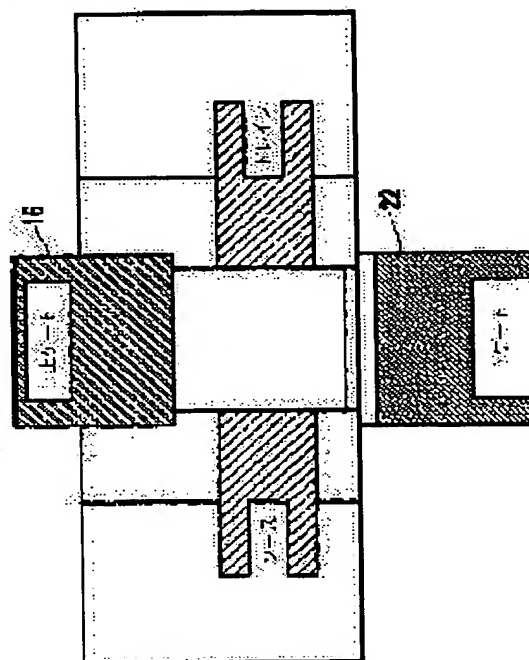
Priority number : 2000 204131 Priority date : 15.05.2000 Priority country : US
2000 612260 07.07.2000 US

(54) SELF-ALIGNED DOUBLE-GATE MOSFET HAVING SEPARATED GATES

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a double-gate integrated circuit and its structure.

SOLUTION: The method includes a step for forming a laminated structure, having a channel layer and first insulation layers provided on the respective side surface of the channel layer, a step for forming an opening in the laminated structure, a step for forming source and drain regions in the opening, a step for removing a portion of the laminated structure for leaving a first portion of the channel layer exposed to the external, a step for forming a first gate dielectric layer in the channel layer, a step for forming a first gate electrode in the first gate dielectric layer, a step for removing a portion of the laminated structure to leave a second portion of the channel layer exposed to the external, a step for forming a second gate dielectric layer in the channel layer, a step for forming a second gate electrode in the second gate dielectric layer, and a step for doping the source and drain regions through self-aligned ion implantation. In this case, the first and second gate electrodes are formed independently of each other.



LEGAL STATUS

[Date of request for examination] 14.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The transistor which said 1st gate and said 2nd gate separated electrically including a channel field, the 1st gate on said channel field, and the 2nd gate under said channel field.

[Claim 2] Said 1st gate is a transistor according to claim 1 from which said 2nd gate and doping concentration differ.

[Claim 3] Said 1st gate is a transistor according to claim 1 from which said 2nd gate and doping kind differ.

[Claim 4] The transistor according to claim 1 which contains the 1st gate dielectric under said 1st gate, and contains the 2nd gate dielectric on said 2nd gate.

[Claim 5] Said 1st gate has the 1st electric conduction contact, said 2nd gate has the 2nd electric conduction contact, and this 1st electric conduction contact and this 2nd electric conduction contact are coplanar ***** and a transistor according to claim 1.

[Claim 6] For said 2nd gate, said 1st gate is a transistor containing different matter according to claim 1.

[Claim 7] For said 2nd gate, said 1st gate is a transistor according to claim 1 from which thickness differs.

[Claim 8] The transistor according to claim 1 in which the structure by which flattening was carried out in said 1st gate, said 2nd gate, and a channel field is formed.

[Claim 9] For said 2nd gate dielectric, said 1st gate dielectric is a transistor containing different matter according to claim 4.

[Claim 10] For said 2nd gate dielectric, said 1st gate dielectric is a transistor according to claim 4 from which thickness differs.

[Claim 11] For said 2nd gate, said 1st gate is a semiconductor chip containing the matter with which it is a semiconductor chip with at least one transistor, and these transistors differ including a channel field, the 1st gate on said channel field, and the 2nd gate under said channel gate.

[Claim 12] Said 1st gate and said 2nd gate are a semiconductor chip according to claim 11 with which dopant concentration differs.

[Claim 13] Said 1st gate and said 2nd gate are a semiconductor chip according to claim 11 with which dopant kinds differ.

[Claim 14] The semiconductor chip according to claim 11 which contains the 1st gate dielectric under said 1st gate, and contains the 2nd gate dielectric on said 2nd gate.

[Claim 15] For said 2nd gate dielectric, said 1st gate dielectric is a semiconductor chip containing different matter according to claim 14.

[Claim 16] For said 2nd gate dielectric, said 1st gate dielectric is a semiconductor chip according to claim 14 with which thickness differs.

[Claim 17] Said 1st gate has the 1st electric conduction contact, said 2nd gate has the 2nd electric conduction contact, and this 1st electric conduction contact and this 2nd electric conduction contact are coplanar ***** and a semiconductor chip according to claim 11.

[Claim 18] Said 1st gate and said 2nd gate are the semiconductor chip according to claim 11 separated electrically.

[Claim 19] Said 1st gate and said 2nd gate are a semiconductor chip according to claim 11 with which thickness differs.

[Claim 20] The semiconductor chip according to claim 11 with which the structure by which flattening was carried out in said 1st gate, said 2nd gate, and said channel field is formed.

[Claim 21] Said 1st gate and said 2nd gate are the approach separated electrically mutually including the step which is the approach of forming a transistor and forms a laminated structure including the 1st gate on a channel field, the step which removes said a part of laminating under said channel field, and the step which forms the 2nd gate in the bottom of said channel field.

[Claim 22] Said 1st gate is the transistor formation approach according to claim 21 which supports said channel field between said removal processes.

[Claim 23] Said 1st gate and said 2nd gate are the transistor formation approach according to claim 21 that dopant concentration differs.

[Claim 24] The transistor formation approach containing the step which applies a doping kind which is different to said 1st gate and said 2nd gate according to claim 21.

[Claim 25] The transistor formation approach containing the step which forms the 1st gate dielectric in the

bottom of said 1st gate, and forms the 2nd gate dielectric on said 2nd gate according to claim 21.

[Claim 26] For said 2nd gate dielectric, said 1st gate dielectric is the transistor formation approach containing different matter according to claim 24.

[Claim 27] For said 2nd gate dielectric, said 1st gate dielectric is the transistor formation approach according to claim 24 that thickness differs.

[Claim 28] The transistor formation approach containing the step which forms the 1st gate oxide in the bottom of said 1st gate, and forms the 2nd gate oxide on said 2nd gate according to claim 21.

[Claim 29] Said 1st gate has the 1st electric conduction contact, said 2nd gate has the 2nd electric conduction contact, and this 1st electric conduction contact and this 2nd electric conduction contact are coplanar ***** and the transistor formation approach according to claim 21.

[Claim 30] For said 2nd gate, said 1st gate is the transistor formation approach containing different matter according to claim 21.

[Claim 31] For said 2nd gate, said 1st gate is the transistor formation approach according to claim 21 that thickness differs.

[Claim 32] The transistor formation approach according to claim 21 that the structure by which flattening was carried out in said 1st gate, said 2nd gate, and said channel field is formed.

[Claim 33] The step which forms the laminated structure which is the approach of producing a double-gate transistor, and has the 1st insulating layer in each side face of a channel layer and this channel layer. The step which forms opening in said laminated structure, and the step which forms the field of the source and a drain in said opening. The step which it leaves, removing said a part of laminated structure, and exposing a part for part I of said channel layer. The step which forms the 1st gate dielectric on said channel layer, and the step which forms the 1st gate electrode on said 1st gate dielectric layer. The step which it leaves, removing said a part of laminated structure, and exposing a part for part II of said channel layer. The step which forms the 2nd gate dielectric layer on said channel layer, and the step which forms the 2nd gate electrode on said 2nd gate dielectric layer. The approach by which said 1st gate electrode and said 2nd gate electrode of each other are formed according to an individual including the step which dopes the field of said source and a drain.

[Claim 34] Said 1st and 2nd gate electrodes are the approaches according to claim 33 separated electrically.

[Claim 35] Said doping of the field of said source and a drain is an approach including a self-align ion implantation according to claim 33.

[Claim 36] The approach containing the step which forms said 1st gate electrode so that thickness may become large from said 2nd gate electrode according to claim 33.

[Claim 37] The approach containing the step which forms said 1st gate so that width of face may become large from said 2nd gate according to claim 33.

[Claim 38] The approach containing the step which forms said 1st gate dielectric so that width of face may become large from said 2nd gate dielectric according to claim 33.

[Claim 39] For the 1st matter to said 2nd gate, said 1st gate is an approach containing the step formed from the 2nd matter according to claim 33.

[Claim 40] For the 1st matter to said 2nd gate dielectric, said 1st gate dielectric is an approach containing the step formed from the 2nd matter according to claim 33.

[Claim 41] For this tunnel, said step which removes said a part of laminated structure is an approach according to claim 33 formed between the upper layer and a lower layer including the step which leaves with a part for part II of said channel layer exposed, and forms a tunnel in said laminating.

[Claim 42] For said 2nd gate dielectric, said 1st gate dielectric is an approach containing different matter according to claim 33.

[Claim 43] For said 2nd gate dielectric, said 1st gate dielectric is the approach according to claim 33 thickness differs.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Generally this invention relates to the self-align double-gate metal oxide semiconductor field-effects transistor (DG-MOSFET) which the gate separated electrically up and down. In this invention, the up-and-down gate can be formed from different matter.

[0002]

[Description of the Prior Art] A double-gate metal oxide semiconductor field-effects transistor (DG-MOSFET) is MOSFET by which the carrier in a channel is controlled by the up-and-down gate. There is an advantage which is not in the conventional single gate MOSFET that the parasitism resistance with a high transconductance is excellent in the short channel property of small not being influenced of dopant change in double-gate one MOSFET. Furthermore, even 20nm even of channel length of doping of a channel field is unnecessary, and a good short channel property is acquired. Thereby, all problems, such as tunnel breakdown accompanying channel doping, dopant quantization, and impurity diffusion, are avoided.

[0003] The conventional system aimed at the double-gate structure in which the gate of both upper and lower sides carries out self align to a channel field. However, the approach satisfying when attaining this self-align structure is not acquired. Generally, old efforts are divided into the following categories. The 1st category includes etching of the silicon (Si) to pillar (pillar) structure, and the gate adhesion around it (perpendicular field-effect transistor (FET)). the 2nd category — the SOI (silicon-on-insulator) film — etching — a thin bar — carrying out — the both ends of a bar — the source / drain contact — forming — thin Si bar — all — the gate matter is adhered to the 3rd page. By another approach, the conventional single gate MOSFET is produced and the 2nd gate is formed by the junction etchback method. The 4th conventional method is started from a SOI thin film, a strip is patternized, a tunnel is dug through the bottom of it by etching embedding oxide, and hung Si bridge is formed. Next, the gate matter is adhered to all hung Si bridges.

[0004] Which of the aforementioned approach has a big fault. For example, it is difficult for the 1st and the 2nd category to form a perpendicular pillar or Si bar in 10nm thickness, and to attain this dimension, controlling thickness enough, and to prevent reactive-ion-etching (RIE) breakage. In the case of a perpendicular example (the 1st), it is difficult to produce low series resistance contact to the source / drain terminal buried under the pillar. Device width of face is restricted by Si bar height in a horizontal example (the 2nd). In the 3rd example, the self align of the gate of thickness control and the upper and lower sides becomes a big problem. Gate length's control is inadequate, it connects electrically and the same matter needs to constitute the two gates from the 4th example.

[0005] K. the [by L.Chan, G.M.Cohen, Y.Taut, and H.S.P.Wong / on March 19, 1999 / United States patent application] — No. 09/272297 "Self-Aligned Double-Gate MOSFET by Selective Epitaxy and Silicon Wafer Bonding Techniques" (hereafter referred to as Chan) uses the production approach of the double-gate MOSFET structure where the up-and-down gate carries out self align of both to a channel field. Most aforementioned problems are avoided according to this process. However, the up-and-down gate is connected physically. This is because it adheres to the gate matter at 1 time of a processing step as the "channel perimeter" gate.

[0006] Since it is as follows, this brings about the result which is not desirable depending on an application. It is desirable 1st to separate the two gates from a viewpoint of a circuit design electrically. Since the bottom gate and the upper gate are fundamentally formed in the 2nd from the same matter, only symmetry mold DG-MOSFET is producible. Unsymmetrical DG-MOSFET in which the matter of the bottom gate differs from the upper gate is unrealizable.

[0007] Chan is indicating the approach of forming the "channel perimeter" gate by formation of the hung silicon bridge (channel), and adhesion of the conformal gate matter to the perimeter of a channel following this. In order to improve the controllability of a threshold electrical potential difference, it is necessary to make ***** of a channel thin to 3nm thru/or 5nm. It is not clear whether the sufficiently high yield can be maintained, processing such a thin bridge. Therefore, this point may impose a limit on the process by Chan.

[0008]

[Problem(s) to be Solved by the Invention] Therefore, self-align DG-MOSFET formed by adhering the up-and-down gate according to an individual is calculated. Many merits are obtained with such structure. For example, the gate can be electrically separated by forming the gate independently, the gate where the matter differs from thickness can be formed, and since the structure by which flattening was carried out is acquired,

connection with a device becomes easy. Moreover, DG-MOSFET which can form an ultra-thin channel is calculated.

[0009]

[Means for Solving the Problem] The step which forms the laminated structure to which the purpose of this invention has the 1st insulating layer in each side face of a channel layer and a channel layer. The step which forms opening in a laminated structure, the step which forms the field of the source and a drain in opening. The step which leaves a part for part I of the channel layer which deleted a part of laminated structure and was exposed. The step which forms the 1st gate dielectric layer in a channel layer, the step which forms the 1st gate electrode in the 1st gate dielectric layer. The step which leaves a part for part II of the channel layer which removed a part of laminated structure and was exposed. The step which forms the 2nd gate dielectric layer in a channel layer, the step which forms the 2nd gate electrode in the 2nd gate dielectric layer. And it is offering the approach of producing a double-gate integrated circuit (IC) the 1st gate electrode and the 2nd gate electrode being formed mutually-independent, and its structure, including the step which dopes the field of the source and a drain by the self-align ion implantation.

[0010] Although a gate dielectric is formed from SiO₂, other dielectric matter is usually sufficient as it.

Moreover, the gate dielectric relevant to the upper gate has been independent of the gate dielectric relevant to the bottom gate. Therefore, as for a gate dielectric, thickness is easy to differ from the matter.

[0011]

[Embodiment of the Invention] Hereafter, this invention whose up-and-down gates are the self-align double-gate metal oxide semiconductor field-effects transistor (DG-MOSFET) separated electrically and its production approach is explained. Furthermore, the up-and-down gate contains different matter.

[0012] As shown in drawing 1 thru/or drawing 6, this invention begins from formation of a series of layers.

About 2nm thin diacid-ized silicon 1 is first formed in single crystal wafer 5A (donor wafer). Next, the silicon nitride layer 2 (this is for example, about 100nm thickness) is formed in the diacid-ized silicon layer 1. Next, the thick (for example, about 400nm thickness) diacid-ized silicon layer 3 is formed in a nitrated case 2. Next, a crystal wafer is joined to the handle wafer 4. This junction is performed to a boron dirty stop, smartCut, and this contractor by general silicon wafer conjugation methods, such as the well-known approach. (Please refer to Silicon-On-Insulator Technology by Jean-PierreColinge, 2nd Ed, Kluwer Academic Publishers, and 1997 about the detail of a conjugation method.) Next, the SOI layer 5 is formed in thickness required for an MOSFET channel. For example, when using the smartCut method, thin Si layer is moved to the handle wafer 4 from a donor wafer 5A front face. Moved Si layer is usually joined to the insulator layer of SiO₂ grade (therefore, called silicon-on-insulator (SOI)). the thickness of moved Si layer — smartCut — it is decided by the depth of the impregnation hydrogen which is a part of law. A SOI layer can be made still thinner by oxidation and exfoliation, after being moved to the handle wafer 4. SOI thickness is usually observed by polarization analysis or the X-ray diffraction method (G. please refer to Applied Physics Letters by M Cohen and others, 75 (6), p.787, and August 1999).

[0013] Next, the thin diacid-ized silicon layer 6 (about 2nm) is formed in the SOI layer 5. Then, the thick silicon nitride layers 7 (about 150 etc.nm etc.) are formed in the diacid-ized silicon layer 6.

[0014] After the first group is completed, two fields 8 are etched and a membranous stack is formed. As shown in drawing 7 and drawing 8, it is a dirty stop (or the same control function embeds and arranged to fixed distance in an oxide (BOX) 3.). The distance between these two fields becomes the die length (L_g) of the produced MOSFET gate.

[0015] The structure and the process of this invention are explained with reference to various sectional views here for compaction. For example, drawing 7, drawing 9, drawing 11 or drawing 18, drawing 20, drawing 21, drawing 23, drawing 25, drawing 27, drawing 29, drawing 31, drawing 33 or drawing 38, drawing 40, drawing 41, drawing 43, drawing 45, and drawing 47 are drawings which cut off the top view of the structure shown in drawing 8 and drawing 9 along with line L-L.

[0016] In this invention, in order to adjust the configuration of the etched field, a series of steps are performed. First, as shown in drawing 9 and drawing 10, the epitaxial silicon (epi) extension 9 is alternatively grown up from five single crystals SOI. The epi extension 9 is prolonged to the etched field 8, and grows up to be the perimeter of the etched field. The magnitude of the epi extension 9 is 50nm suitably. An extension is got by SiGe, SiGeC, and this contractor also with growth of other alloys, such as other well-known suitable matter.

[0017] Next, as shown in drawing 11, the side-attachment-wall spacer 10 is formed in the side attachment wall of the etched field 8. This is performed by adhesion of the dielectric (not shown) to the whole structure. The thickness of the spacer 10 obtained with the thickness of a dielectric is decided. A dielectric also becomes the element which gives etch selectivity (for example, the layer of an oxide and a nitride is adhered later). In the case of a suitable example, the side-attachment-wall spacer 10 is formed of reactive ion etching. Moreover, the residue of a spacer dielectric is removed from the silicon extension which the SOI channel exposed by isotropic etching (reactive ion etching or wet chemical etching).

[0018] Next, as shown in drawing 12, the source / drain field 11 is formed. This is performed [1st] by adhering an amorphous silicon or the polish recon 11 to the etched field 8. As shown in drawing 12, it adheres to it until an amorphous silicon becomes higher than the top face of a nitride 7. Flattening of the top face is carried out to the 2nd by mechanization study-polish (CMP:chemical-mechanical polishing). A CMP process

removes an amorphous silicon and is mainly alternative to a nitride 7. Next, as shown in drawing 13, a recess 12 is formed in the silicon of the source / drain field 11 of reactive ion etching. Adhering to dielectrics 13 (oxide etc.) to the recess field 12 finally, as shown in drawing 14, a dielectric becomes isomorphism completely to the recess field 12. Then, flattening of the dielectric is carried out by CMP.

[0019] Moreover, as shown in drawing 15, the configuration of the upper part of structure is adjusted. This is performed to the 1st by removing the upper nitride 7 by wet chemical etching (elevated-temperature phosphoric acid etc.). As shown [2nd] in drawing 16, a side attachment wall 14 is formed. A side attachment wall adheres a dielectric to conformal one to the whole structure, and is formed by etching a dielectric. The thickness of a side attachment wall 14 is decided by thickness of a dielectric. Upper sacrifice pad oxide 6 is removed by wet chemical etching (for example, hydrofluoric acid) by the 3rd. Next, as shown in drawing 17, the upper gate dielectric (oxide) 15 is grown up into the top face of the SOI channel 5. Conformal one adheres to the upper gate matter 16 (for example, the doped polish recon or the tungsten), and a gate electrode is formed as shown in drawing 18. Flattening of the top face is carried out to the last by mechanization study-polish. A CMP process mainly removes the upper gate matter to a nitride 7 using an alternative slurry. Then, as shown in drawing 19 and drawing 20, the mesa hard mask 17 is arranged at structure. A nitrated case is suitably patternized for a mesa hard mask by adhesion of the nitride of about 100nm thickness later. Drawing 22, drawing 24 R> 4, drawing 26, drawing 28, drawing 30, drawing 32, drawing 42, drawing 44 R> 4, drawing 46, and drawing 48 are the sectional views in alignment with line W-W shown in drawing 19.

[0020] Specifically, each device is separated by the mesa hard mask 17. Structure is patternized as follows. 1) As shown in drawing 21 and drawing 22, etch over the SOI film by RIE and stop with a nitride. 2) As shown in drawing 23 and drawing 24, adhere dielectrics, such as about 75nm low-temperature-oxidation object (LTO:low temperature oxide), to the whole structure suitably conformal one, etch a dielectric, and form a side attachment wall 18. 3) As shown in drawing 25 and drawing 26, carry out fixed distance etching to the direction of BOX3, and complete etching of a mesa. The side attachment wall of the bottom nitride 2 is also exposed between this process.

[0021] As shown in drawing 27 and drawing 28, in this invention, the thermal oxidation object 19 is grown up and the exposed source and the side attachment wall of a drain are separated. Next, as shown in drawing 29 and drawing 30, the bottom nitride 2 and the upper nitride hard mask 17 are removed by wet chemical etching (elevated-temperature phosphoric acid etc.). By the bottom nitride 2 being removed, the bridge which the tunnel 20 hung in the die-length direction is formed crosswise [of a device]. Moreover, the bottom sacrifice pad oxide 1 is removed by wet chemical etching (phosphoric acid etc.).

[0022] Next, as shown in drawing 31 and drawing 32, the bottom gate electrode 22 is formed. This is because the bottom gate dielectric (oxide) 21 is grown up into SOI channel 5 inferior surface of tongue at first. Conformal one adheres to the bottom gate matter 22 (polish recon, a tungsten, etc. which were doped), and a bottom gate electrode is formed. Next, flattening of the top face is carried out by CMP. A CMP process removes the bottom gate matter and is mainly alternative to LTP.

[0023] As shown in drawing 33, the source / drain cap dielectric LTO 13 is etched. In this invention, as shown in drawing 34, conformal one adheres to a dielectric and a side attachment wall 23 is formed in the whole structure. Here, the thickness of the spacer obtained is decided by thickness of this dielectric. A dielectric is etched into a degree and the structure of the final side attachment wall 23 is formed.

[0024] Next, as shown in drawing 35, the source / drain field 11 is doped by the self-align ion implantation 24, and the heavy dope of the silicon 11 is carried out. In order to carry out the mask of the SOI channel field to an ion implantation, the upper Pori gate 16 is used as a self-align impregnation mask. The source / drain impregnation shifts from a channel field with the side-attachment-wall spacer 23. A dopant is activated by high-speed heat annealing after impregnation.

[0025] Next, as shown in drawing 37, silicide 26 is formed in the source/drain, and the gate 11 of a self-align silicide process. This is performed to this contractor by the well-known standard process. For example, it prepares for application of silicide, as shown in drawing 36, the whole structure adheres to the metals 25, such as Co (cobalt) and Ti (titanium), conformal one, and structure is heated. Silicide adheres to dielectrics, such as LTO, after adhesion of silicide conformal one, and the LTO cap 27 is formed (drawing 3838). Next, flattening of the top face is carried out by CMP. A CMP process removes the dielectric matter 27 and is mainly alternative to silicide 26 or the gate matter 16 and 22. Since there is a limit in the selectivity of a CMP process, a part or all of gate silicide 26 may be unremovable. In that case, new gate silicide can be formed by repeating a self-align silicide process. Next, a final treatment is performed to the bottom gate 22. It adheres to about 100nm nitride or the LTO film 27 suitably first, and is behind patternized by the photolithography, and as shown in the top view of drawing 39, and the sectional view in alignment with line L-L of drawing 40, the hard mask which partitions off the bottom gate field 28 is formed. Next, the excessive bottom gate matter 22 is etched to BOX3, and as shown in drawing 41 and drawing 42, it adheres to the thick passivation dielectric 29. Flattening of the top face is again carried out by CMP. A CMP process removes the dielectric matter 29, to the nitride hard mask 28, is alternative and does not mainly remove this. Next, as shown in drawing 43 and drawing 44, it adheres to the 2nd passivation dielectric 30.

[0026] next, as shown in drawing 45 and drawing 46, it is alike on the source and a drain 11, and a contact hole 32, a contact hole (Bahia) 31 is formed, and it is etched by patternizing and etching of a photolithography on the two gates 16 and 22. Next, as shown in drawing 47 and drawing 48, it adheres to metallization (metal)

33, it is patternized behind, and the electric contact to the source, a drain, and an up-and-down gate electrode is formed. When the gate is too short, width of face can be given to the design Ruhr about contact of the upper gate by applying the metallization of two level. Drawing 49 R> 9 is the top view of the completed structure. By amelioration by this invention, many merits are obtained compared with the conventional technique. By this invention, it adheres to the up-and-down gate at 2 times of the independent steps, and the vertical gate separated electrically is formed [1st]. There are some advantages in this. For example, the mixed threshold electrical-potential-difference (V_t) circuit which could use the bottom gate for control of a threshold electrical potential difference, therefore suited the low power application is obtained.

[0027] Circuit density can be raised with this structure again. When the gate has dissociated electrically, as for double-gate one MOSFET, the input gate contains two terminal devices [four]. Therefore, binary logical operation, such as NOR (nFET) and a NAND (pFET) cel, is realizable with one device. Usually, two criteria MOSFET are required for implementation of such binary logical operation for every cel. It is possible to raise circuit density in this way also in an analog circuit. For example, a mixer is realizable by impressing an oscillator electrical potential difference to the one gate, and impressing a signal (data) electrical potential difference to another gate.

[0028] In this invention, since the gate dielectric which corresponds the up-and-down gate is grown up according to an individual, the gate and a gate dielectric can change and form the matter and thickness. Moreover, it is not necessary to make the same the doping level and the doping kind which are introduced into each gate. Therefore, the unsymmetrical gate is producible. Unsymmetrical double-gate one MOSFET is the most useful for a mixed application which carries out package junction of the gate like for example, a static random-access-memory (SRAM) application in order to obtain speed, and attains low power and high density according to an individual using the gate. Moreover, in this invention, since the structure of a planar is acquired, connection of a device becomes easy. Since good threshold electrical-potential-difference actuation is obtained, a device with the ultra-thin channel of about 3nm thru/or about 5nm thickness may be needed. Production of the hung silicon bridge with a film may reduce the whole yield. A channel with the thick layer 22 is supported in this invention. Therefore, in this invention, a device with an ultra-thin channel can be produced and good threshold electrical-potential-difference behavior is obtained with such a device. This invention uses the self-align silicide process which lowers series resistance again.

[0029] Although this invention was explained about the suitable example, it can add and carry out modification, without deviating from the main point and range of a claim so that clearly [this contractor].

[0030] As a conclusion, the following matters are indicated about the configuration of this invention. [0031] (1) The transistor which said 1st gate and said 2nd gate separated electrically including a channel field, the 1st gate on said channel field, and the 2nd gate under said channel field.

(2) Said 1st gate is the transistor of the aforementioned (1) publication from which said 2nd gate and doping concentration differ.

(3) Said 1st gate is the transistor of the aforementioned (1) publication from which said 2nd gate and doping kind differ.

(4) The transistor of the aforementioned (1) publication which contains the 1st gate dielectric under said 1st gate, and contains the 2nd gate dielectric on said 2nd gate.

(5) Said 1st gate has the 1st electric conduction contact, said 2nd gate has the 2nd electric conduction contact, and this 1st electric conduction contact and this 2nd electric conduction contact are the transistor of coplanar ***** and the aforementioned (1) publication.

(6) For said 2nd gate, said 1st gate is the transistor of the aforementioned (1) publication containing different matter.

(7) For said 2nd gate, said 1st gate is the transistor of the aforementioned (1) publication from which thickness differs.

(8) The transistor of the aforementioned (1) publication in which the structure by which flattening was carried out in said 1st gate, said 2nd gate, and a channel field is formed.

(9) For said 2nd gate dielectric, said 1st gate dielectric is the transistor of the aforementioned (4) publication containing different matter.

(10) For said 2nd gate dielectric, said 1st gate dielectric is the transistor of the aforementioned (4) publication from which thickness differs.

(11) For said 2nd gate, said 1st gate is a semiconductor chip containing the matter with which it is a semiconductor chip with at least one transistor, and these transistors differ including a channel field, the 1st gate on said channel field, and the 2nd gate under said channel gate.

(12) Said 1st gate and said 2nd gate are a semiconductor chip of the aforementioned (11) publication with which dopant concentration differs.

(13) Said 1st gate and said 2nd gate are a semiconductor chip of the aforementioned (11) publication with which dopant kinds differ.

(14) The semiconductor chip of the aforementioned (11) publication which contains the 1st gate dielectric under said 1st gate, and contains the 2nd gate dielectric on said 2nd gate.

(15) For said 2nd gate dielectric, said 1st gate dielectric is the semiconductor chip of the aforementioned (14) publication containing different matter.

(16) For said 2nd gate dielectric, said 1st gate dielectric is a semiconductor chip of the aforementioned (14)

publication with which thickness differs.

(17) Said 1st gate has the 1st electric conduction contact, said 2nd gate has the 2nd electric conduction contact, and this 1st electric conduction contact and this 2nd electric conduction contact are the semiconductor chip of coplanar ***** and the aforementioned (11) publication.

(18) Said 1st gate and said 2nd gate are the semiconductor chip of the aforementioned (11) publication separated electrically.

(19) Said 1st gate and said 2nd gate are a semiconductor chip of the aforementioned (11) publication with which thickness differs.

(20) The semiconductor chip of the aforementioned (11) publication with which the structure by which flattening was carried out in said 1st gate, said 2nd gate, and said channel field is formed.

(21) Said 1st gate and said 2nd gate are the approach separated electrically mutually including the step which is the approach of forming a transistor and forms a laminated structure including the 1st gate on a channel field, the step which removes said a part of laminating under said channel field, and the step which forms the 2nd gate in the bottom of said channel field.

(22) Said 1st gate is the transistor formation approach of the aforementioned (21) publication which supports said channel field between said removal processes.

(23) Said 1st gate and said 2nd gate are the transistor formation approach of the aforementioned (21) publication that dopant concentration differs.

(24) The transistor formation approach of the aforementioned (21) publication containing the step which applies a doping kind which is different to said 1st gate and said 2nd gate.

(25) The transistor formation approach of the aforementioned (21) publication containing the step which forms the 1st gate dielectric in the bottom of said 1st gate, and forms the 2nd gate dielectric on said 2nd gate.

(26) For said 2nd gate dielectric, said 1st gate dielectric is the transistor formation approach of the aforementioned (24) publication containing different matter.

(27) For said 2nd gate dielectric, said 1st gate dielectric is the transistor formation approach of the aforementioned (24) publication that thickness differs.

(28) The transistor formation approach of the aforementioned (21) publication containing the step which forms the 1st gate oxide in the bottom of said 1st gate, and forms the 2nd gate oxide on said 2nd gate.

(29) Said 1st gate has the 1st electric conduction contact, said 2nd gate has the 2nd electric conduction contact, and this 1st electric conduction contact and this 2nd electric conduction contact are coplanar ***** and the transistor formation approach of the aforementioned (21) publication.

(30) For said 2nd gate, said 1st gate is the transistor formation approach of the aforementioned (21) publication containing different matter.

(31) For said 2nd gate, said 1st gate is the transistor formation approach of the aforementioned (21) publication that thickness differs.

(32) The transistor formation approach of the aforementioned (21) publication that the structure by which flattening was carried out in said 1st gate, said 2nd gate, and said channel field is formed.

(33) The step which forms the laminated structure which is the approach of producing a double-gate transistor, and has the 1st insulating layer in each side face of a channel layer and this channel layer, The step which forms opening in said laminated structure, and the step which forms the field of the source and a drain in said opening. The step which it leaves, removing said a part of laminated structure, and exposing a part for part I of said channel layer, The step which forms the 1st gate dielectric on said channel layer, and the step which forms the 1st gate electrode on said 1st gate dielectric layer, The step which it leaves, removing said a part of laminated structure, and exposing a part for part II of said channel layer, The step which forms the 2nd gate dielectric layer on said channel layer, and the step which forms the 2nd gate electrode on said 2nd gate dielectric layer, The approach by which said 1st gate electrode and said 2nd gate electrode of each other are formed according to an individual including the step which dopes the field of said source and a drain.

(34) Said 1st and 2nd gate electrodes are the approaches of the aforementioned (33) publication separated electrically.

(35) Said doping of the field of said source and a drain is the approach of the aforementioned (33) publication including a self-align ion implantation.

(36) The approach of the aforementioned (33) publication containing the step which forms said 1st gate electrode so that thickness may become large from said 2nd gate electrode.

(37) The approach of the aforementioned (33) publication containing the step which forms said 1st gate so that width of face may become large from said 2nd gate.

(38) The approach of the aforementioned (33) publication containing the step which forms said 1st gate dielectric so that width of face may become large from said 2nd gate dielectric.

(39) For the 1st matter to said 2nd gate, said 1st gate is the approach of the aforementioned (33) publication containing the step formed from the 2nd matter.

(40) For the 1st matter to said 2nd gate dielectric, said 1st gate dielectric is the approach of the aforementioned (33) publication containing the step formed from the 2nd matter.

(41) said — a laminated structure — a part — removing — said — a step — said — a channel — a layer — part II — a part — having exposed — as — leaving — said — a laminating — a tunnel — forming — a step — containing — this — a tunnel — the upper layer — a lower layer — between — forming — having — the

above — (— 33 —) — a publication — an approach .

(42) For said 2nd gate dielectric, said 1st gate dielectric is the approach of the aforementioned (33) publication containing different matter.

(43) For said 2nd gate dielectric, said 1st gate dielectric is the approach of the aforementioned (33) publication that thickness differs.

[Translation done.]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is drawing showing the adhesion for producing a laminating, and a part of junction.
- [Drawing 2] It is drawing showing the adhesion for producing a laminating, and a part of junction.
- [Drawing 3] It is drawing showing the adhesion for producing a laminating, and a part of junction.
- [Drawing 4] It is drawing showing the adhesion for producing a laminating, and a part of junction.
- [Drawing 5] It is drawing showing the adhesion for producing a laminating, and a part of junction.
- [Drawing 6] It is drawing showing the adhesion for producing a laminating, and a part of junction.
- [Drawing 7] It is drawing showing the cross section in alignment with line L-L of drawing 8 .
- [Drawing 8] It is the top view of DG-MOSFET produced according to this invention.
- [Drawing 9] It is drawing showing the cross section in alignment with line L-L of drawing 10 .
- [Drawing 10] It is the top view of DG-MOSFET produced according to this invention, and they are the source by epitaxy, and drawing showing the extension of the SOI channel to a drain field.
- [Drawing 11] It is drawing showing a side-attachment-wall spacer.
- [Drawing 12] They are the source and drawing showing flattening by CMP of a process and after that which buries the trench of a drain by the source / drain matter.
- [Drawing 13] They are the source and drawing showing the recess (crevice) of a drain.
- [Drawing 14] They are the source buried by the dielectric matter, and drawing showing the recess field of a drain.
- [Drawing 15] It is drawing showing etching of the nitride upper layer.
- [Drawing 16] It is drawing showing formation of a side attachment wall.
- [Drawing 17] It is drawing showing the structure after growth of an upper gate dielectric.
- [Drawing 18] It is drawing showing the flattening by the structure and CMP after adhesion of the upper gate matter.
- [Drawing 19] It is drawing showing structure with the nitride hard mask which partitions off a device mesa.
- [Drawing 20] It is drawing showing the cross section in alignment with line L-L of drawing 19 .
- [Drawing 21] It is drawing showing the structure in alignment with line L-L after mesa etching.
- [Drawing 22] It is drawing showing the structure in alignment with line W-W after mesa etching.
- [Drawing 23] It is drawing showing the side attachment wall in alignment with line L-L.
- [Drawing 24] It is drawing showing the side attachment wall in alignment with line W-W.
- [Drawing 25] It is drawing showing the structure in alignment with line L-L after mesa etching continues to BOX.
- [Drawing 26] It is drawing showing the structure in alignment with line L-L after mesa etching continues to BOX.
- [Drawing 27] They are the structure in alignment with line L-L, and the exposed source and drawing showing separation by oxidation of the side attachment wall of a drain.
- [Drawing 28] They are the structure in alignment with line W-W, and the exposed source and drawing showing separation by oxidation of the side attachment wall of a drain.
- [Drawing 29] It is drawing showing the structure in alignment with line L-L after the bottom nitrated case was removed by wet etching.
- [Drawing 30] It is drawing showing the structure in alignment with line W-W after the bottom nitrated case was removed by wet etching.
- [Drawing 31] It is drawing showing the structure in alignment with growth of a bottom gate dielectric, adhesion of the bottom gate matter, and line L-L after flattening by CMP.
- [Drawing 32] It is drawing showing the structure in alignment with growth of a bottom gate dielectric, adhesion of the bottom gate matter, and line W-W after flattening by CMP.
- [Drawing 33] It is drawing showing the structure in alignment with line L-L after the dielectric was removed from the source / drain recess field and the side attachment wall was formed.
- [Drawing 34] It is drawing showing the structure in alignment with line W-W after the dielectric was removed from the source / drain recess field and the side attachment wall was formed.
- [Drawing 35] It is drawing showing impregnation of the self-align source / drain along with line L-L.
- [Drawing 36] It is drawing showing formation of self-align silicide along with line L-L.
- [Drawing 37] It is drawing showing formation of self-align silicide along with line L-L.
- [Drawing 38] They are the source again buried by the dielectric matter, and drawing showing the recess field

of a drain along with line L-L.

[Drawing 39] They are the top view of the nitride hard mask used for etching of the excessive bottom gate matter, and drawing in alignment with line L-L.

[Drawing 40] They are the top view of the nitride hard mask used for etching of the excessive bottom gate matter, and drawing in alignment with line W-W.

[Drawing 41] It is drawing showing the passivation and flattening of a device by adhesion of a dielectric and CMP along with line L-L.

[Drawing 42] It is drawing showing adhesion of a dielectric, the passivation of the device by CMP, and flattening along with line W-W.

[Drawing 43] It is drawing showing adhesion of a dielectric, the passivation of the device by CMP, and flattening along with line L-L.

[Drawing 44] It is drawing showing adhesion of a dielectric, the passivation of the device by CMP, and flattening along with line W-W.

[Drawing 45] It is drawing showing contact hole (Bahia) opening for contacting the source of a device, a drain, and the up-and-down gate.

[Drawing 46] It is drawing showing contact hole (Bahia) opening for contacting the source of a device, a drain, and the up-and-down gate.

[Drawing 47] It is drawing showing contact hole (Bahia) opening for contacting the source of a device, a drain, and the up-and-down gate.

[Drawing 48] It is drawing showing the structure partially completed according to this invention along with line W-W.

[Drawing 49] It is the top view of the structure of this invention.

[Description of Notations]

1, 3, 6 Oxide

2 Seven Nitride

4 Wafer

5 SOI

5A Si donor wafer

10, 14, 18, 23 Side attachment wall

11 a-Si

12 Recess

13, 27, 29, 30 LOT

15 Upper Gate Oxide

16 Upper Gate

17, 22, 28 Nitride hard mask

19 Separation Oxide

21 Bottom Gate Oxide

24 Dopant Impregnation

25 Silicide Metal

26 Silicide

31 32 Bahia

33 Metal

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-16255
(P2002-16255A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl.⁷
H 0 1 L 29/786

識別記号

F I
H 0 1 L 29/78

テ-マ-ト* (参考)

6 1 7 N 5 F 1 1 0

審査請求 有 請求項の数43 OL (全 15 頁)

(21) 出願番号 特願2001-143342(P2001-143342)

(22) 出願日 平成13年5月14日 (2001.5.14)

(31) 優先権主張番号 60/204131

(32) 優先日 平成12年5月15日 (2000.5.15)

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 09/612260

(32) 優先日 平成12年7月7日 (2000.7.7)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

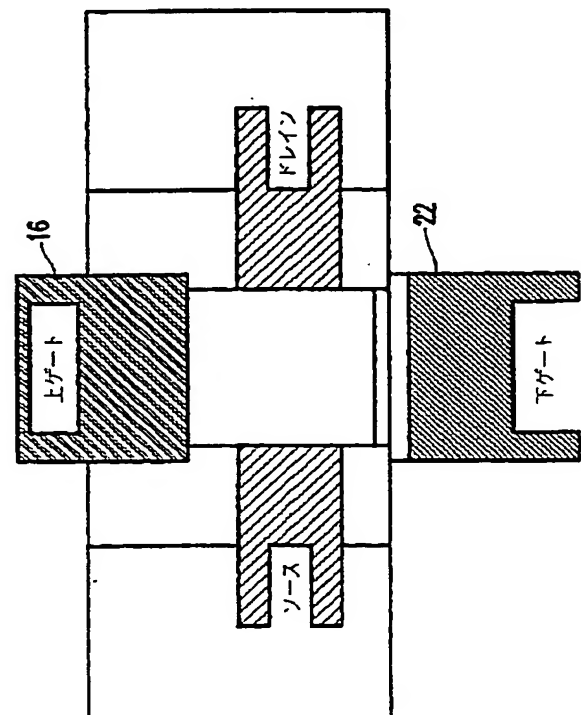
最終頁に続く

(54) 【発明の名称】 ゲートが分離した自己整合ダブル・ゲートMOSFET

(57) 【要約】

【課題】 ダブル・ゲート集積回路を作製する方法及びその構造を提供すること。

【解決手段】 方法は、チャネル層及びチャネル層の各側面に第1絶縁層を持つ積層構造を形成するステップ、積層構造に開口を形成するステップ、開口にソース及びドレインの領域を形成するステップ、積層構造の一部を除去してチャネル層の第1部分を露出したまま残すステップ、チャネル層に第1ゲート誘電層を形成するステップ、第1ゲート誘電層に第1ゲート電極を形成するステップ、積層構造の一部を除去してチャネル層の第2部分を露出したまま残すステップと、チャネル層に第2ゲート誘電層を形成するステップ、第2ゲート誘電層に第2ゲート電極を形成するステップ、及び自己整合イオン注入によりソース及びドレインの領域をドーピングするステップを含み、第1ゲート電極と第2ゲート電極は互いに独立に形成される。



【特許請求の範囲】

【請求項1】チャンネル領域と、

前記チャンネル領域の上の第1ゲートと、

前記チャンネル領域の下第2ゲートと、

を含み、前記第1ゲート及び前記第2ゲートが互いに電氣的に分離した、トランジスタ。

【請求項2】前記第1ゲートは前記第2ゲートとドーピング濃度が異なる、請求項1記載のトランジスタ。

【請求項3】前記第1ゲートは前記第2ゲートとドーピング種が異なる、請求項1記載のトランジスタ。

【請求項4】前記第1ゲートの下に第1ゲート誘電体を、前記第2ゲートの上に第2ゲート誘電体を含む、請求項1記載のトランジスタ。

【請求項5】前記第1ゲートに第1導電コンタクトが、前記第2ゲートに第2導電コンタクトがあり、該第1導電コンタクトと該第2導電コンタクトはコプラナである、請求項1記載のトランジスタ。

【請求項6】前記第1ゲートは前記第2ゲートとは異なる物質を含む、請求項1記載のトランジスタ。

【請求項7】前記第1ゲートは前記第2ゲートとは厚みが異なる、請求項1記載のトランジスタ。

【請求項8】前記第1ゲート、前記第2ゲート、及びチャンネル領域により平坦化された構造が形成される、請求項1記載のトランジスタ。

【請求項9】前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、請求項4記載のトランジスタ。

【請求項10】前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、請求項4記載のトランジスタ。

【請求項11】少なくとも1つのトランジスタを持つ半導体チップであって、該トランジスタは、

チャンネル領域と、

前記チャンネル領域の上の第1ゲートと、

前記チャンネルゲートの下第2ゲートと、

を含み、前記第1ゲートは前記第2ゲートとは異なる物質を含む、半導体チップ。

【請求項12】前記第1ゲートと前記第2ゲートはドーパント濃度が異なる、請求項11記載の半導体チップ。

【請求項13】前記第1ゲートと前記第2ゲートはドーパント種が異なる、請求項11記載の半導体チップ。

【請求項14】前記第1ゲートの下に第1ゲート誘電体を、前記第2ゲートの上に第2ゲート誘電体を含む、請求項11記載の半導体チップ。

【請求項15】前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、請求項14記載の半導体チップ。

【請求項16】前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、請求項14記載の半導体チッ

プ。

【請求項17】前記第1ゲートに第1導電コンタクトが、前記第2ゲートに第2導電コンタクトがあり、該第1導電コンタクトと該第2導電コンタクトはコプラナである、請求項11記載の半導体チップ。

【請求項18】前記第1ゲートと前記第2ゲートは電氣的に分離した、請求項11記載の半導体チップ。

【請求項19】前記第1ゲートと前記第2ゲートは厚みが異なる、請求項11記載の半導体チップ。

【請求項20】前記第1ゲート、前記第2ゲート、及び前記チャンネル領域により平坦化された構造が形成される、請求項11記載の半導体チップ。

【請求項21】トランジスタを形成する方法であって、チャンネル領域上に第1ゲートを含む積層構造を形成するステップと、

前記チャンネル領域下の前記積層の一部を取り除くステップと、

前記チャンネル領域の下に第2ゲートを形成するステップと、

を含み、前記第1ゲートと前記第2ゲートは互いに電氣的に分離した、

方法。

【請求項22】前記第1ゲートは前記除去プロセスの前に前記チャンネル領域を支持する、請求項21記載のトランジスタ形成方法。

【請求項23】前記第1ゲートと前記第2ゲートはドーパント濃度が異なる、請求項21記載のトランジスタ形成方法。

【請求項24】前記第1ゲートと前記第2ゲートに異なるドーピング種を適用するステップを含む、請求項21記載のトランジスタ形成方法。

【請求項25】前記第1ゲート下に第1ゲート誘電体を、前記第2ゲート上に第2ゲート誘電体を形成するステップを含む、請求項21記載のトランジスタ形成方法。

【請求項26】前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、請求項24記載のトランジスタ形成方法。

【請求項27】前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、請求項24記載のトランジスタ形成方法。

【請求項28】前記第1ゲート下に第1ゲート酸化物を、前記第2ゲート上に第2ゲート酸化物を形成するステップを含む、請求項21記載のトランジスタ形成方法。

【請求項29】前記第1ゲートに第1導電コンタクトが、前記第2ゲートに第2導電コンタクトがあり、該第1導電コンタクトと該第2導電コンタクトはコプラナである、請求項21記載のトランジスタ形成方法。

【請求項30】前記第1ゲートは前記第2ゲートとは異

なる物質を含む、請求項21記載のトランジスタ形成方法。

【請求項31】前記第1ゲートは前記第2ゲートとは厚みが異なる、請求項21記載のトランジスタ形成方法。

【請求項32】前記第1ゲート、前記第2ゲート、及び前記チャネル領域により平坦化された構造が形成される、請求項21記載のトランジスタ形成方法。

【請求項33】ダブル・ゲート・トランジスタを作製する方法であって、

チャネル層及び該チャネル層の各側面に第1絶縁層を持つ積層構造を形成するステップと、

前記積層構造に開口を形成するステップと、

前記開口にソース及びドレインの領域を形成するステップと、

前記積層構造の一部を除去して前記チャネル層の第1部分を露出したまま残すステップと、

前記チャネル層上に第1ゲート誘電体を形成するステップと、

前記第1ゲート誘電層上に第1ゲート電極を形成するステップと、

前記積層構造の一部を除去し、前記チャネル層の第2部分を露出したまま残すステップと、

前記チャネル層上に第2ゲート誘電層を形成するステップと、

前記第2ゲート誘電層上に第2ゲート電極を形成するステップと、

前記ソース及びドレインの領域をドーピングするステップと、

を含み、前記第1ゲート電極と前記第2ゲート電極が互いに個別に形成される、

方法。

【請求項34】前記第1及び第2のゲート電極は電氣的に分離した、請求項33記載の方法。

【請求項35】前記ソース及びドレインの領域の前記ドーピングは自己整合イオン注入を含む、請求項33記載の方法。

【請求項36】前記第1ゲート電極を前記第2ゲート電極より厚みが大きくなるよう形成するステップを含む、請求項33記載の方法。

【請求項37】前記第1ゲートを前記第2ゲートより幅が大きくなるよう形成するステップを含む、請求項33記載の方法。

【請求項38】前記第1ゲート誘電体を前記第2ゲート誘電体より幅が大きくなるよう形成するステップを含む、請求項33記載の方法。

【請求項39】前記第1ゲートは第1物質から、前記第2ゲートは第2物質から形成するステップを含む、請求項33記載の方法。

【請求項40】前記第1ゲート誘電体は第1物質から、前記第2ゲート誘電体は第2物質から形成するステップ

を含む、請求項33記載の方法。

【請求項41】前記積層構造の一部を除去する前記ステップは、前記チャネル層の第2部分を露出したまま残し、前記積層にトンネルを形成するステップを含み、該トンネルは上層と下層の間に形成される、請求項33記載の方法。

【請求項42】前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、請求項33記載の方法。

【請求項43】前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、請求項33記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般にはゲートが上下に電氣的に分離した自己整合ダブル・ゲート金属酸化物半導体電界効果トランジスタ(DG-MOSFET)に関する。本発明では、上下のゲートは異なる物質から形成することができる。

【0002】

【従来の技術】ダブル・ゲート金属酸化物半導体電界効果トランジスタ(DG-MOSFET)は、チャネル内のキャリアが上下のゲートにより制御されるMOSFETである。ダブル・ゲートMOSFETには、トランスコンダクタンスが高い、寄生抵抗が小さい、ドーパント変化の影響を受けない、短チャネル特性に優れる、といった従来のシングル・ゲートMOSFETにはない利点がある。更に、チャネル長20nmまで、チャネル領域のドーピングは必要なく、良好な短チャネル特性が得られる。これにより、チャネル・ドーピングに伴うトンネル・ブレイクダウン、ドーパント量子化、不純物拡散といった問題が全て回避される。

【0003】従来のシステムは、上下両方のゲートがチャネル領域と自己整合するダブル・ゲート構造を目指していた。しかし、この自己整合構造を達成する上で満足 of いく方法は得られていない。一般に、これまでの努力は次のようなカテゴリに分けられる。第1のカテゴリは、ピラー(pillar)構造へのシリコン(Si)のエッチングと、その周りのゲート付着を含む(垂直電界効果トランジスタ(FET))。第2のカテゴリは、SOI(silicon-on-insulator)膜をエッチングして薄いバーにし、バーの両端にソース/ドレイン・コンタクトを形成し、薄いSiバーの全3面にゲート物質を付着する。もう1つの方法では、従来のシングル・ゲートMOSFETが作製され、接合エッチバック法により第2ゲートが形成される。4つ目の従来法は、SOI薄膜からスタートし、ストリップがパターン化され、埋め込み酸化物をエッチングすることでその下にトンネルが掘られ、懸吊したSiブリッジが形成される。次に、懸吊したSiブリッジ全てにゲート物質を付着する。

【0004】前記のアプローチのどれにも大きな欠点がある。例えば、第1と第2のカテゴリは垂直ピラーまた

はSiバーを10nm厚に形成する必要がある、厚みを十分制御しながらこの寸法を達成し、反応性イオン・エッチング(RIE)破損を防ぐのは困難である。垂直例(第1)の場合、ピラードに埋められたソース/ドレイン端末に低直列抵抗コンタクトを作製することは困難である。横の例(第2)では、デバイス幅がSiバー高さによって制限される。第3の例では、厚み制御と上下のゲートの自己整合が大きな問題になる。第4の例では、ゲート長の制御が不十分であり、2つのゲートは電氣的に接続され、同じ物質で構成する必要がある。

【0005】K. L. Chan, G. M. Cohen, Y. Taut, H. S. P. Wongによる1999年3月19日付米国特許出願第09/272297号"Self-Aligned Double-Gate MOSFET by Selective Epitaxy and Silicon Wafer Bonding Techniques"(以下、Chanと呼ぶ)は、上下のゲートが両方ともチャンネル領域に自己整合するダブル・ゲートMOSFET構造の作製方法を利用している。このプロセスにより前記の問題はほとんど回避される。しかし上下のゲートは物理的に接続されたままである。これは、ゲート物質が"チャンネル全局"ゲートとして1回の処理ステップで付着されるためである。

【0006】これは、次のような理由から、用途によっては好ましくない結果をもたらす。第1に、回路設計の観点からは2つのゲートを電氣的に分離することが望ましい。第2に、下ゲートと上ゲートは基本的には同じ物質から形成されるので、対称型DG-MOSFETしか作製できない。下ゲートの物質が上ゲートと異なる非対称DG-MOSFETを実現することはできない。

【0007】Chanは、懸吊したシリコン・ブリッジ(チャンネル)の形成とこれに続くチャンネル周囲へのコンフォーマルなゲート物質の付着により"チャンネル全局"ゲートを形成する方法を開示している。しきい値電圧の制御性を良くするには、チャンネルの厚さを3nm乃至5nmまで薄くする必要がある。そのような薄いブリッジを処理しながら十分高い歩留まりを保てるかどうかは明らかでない。従って、この点はChanによるプロセスに制限を課す可能性がある。

【0008】

【発明が解決しようとする課題】従って、上下のゲートを個別に付着することによって形成される自己整合DG-MOSFETが求められる。そのような構造では多くのメリットが得られる。例えば、ゲートを独立に形成することでゲートを電氣的に分離でき、物質及び厚みの異なるゲートを形成でき、平坦化された構造が得られるので、デバイスとの接続が容易になる。また極薄チャンネルを形成できるDG-MOSFETが求められる。

【0009】

【課題を解決するための手段】本発明の目的は、チャンネル層及びチャンネル層の各側面に第1絶縁層を持つ積層構造を形成するステップ、積層構造に開口を形成するステ

ップ、開口にソースとドレインの領域を形成するステップ、積層構造を一部削除して露出したチャンネル層の第1部分を残すステップ、チャンネル層に第1ゲート誘電層を形成するステップ、第1ゲート誘電層に第1ゲート電極を形成するステップ、積層構造の一部を除去して露出したチャンネル層の第2部分を残すステップ、チャンネル層に第2ゲート誘電層を形成するステップ、第2ゲート誘電層に第2ゲート電極を形成するステップ、及び自己整合イオン注入によりソースとドレインの領域をドーピングするステップを含み、第1ゲート電極と第2ゲート電極が互いに独立に形成される、ダブル・ゲート集積回路(IC)を作製する方法及びその構造を提供することである。

【0010】ゲート誘電体は通常、SiO₂から形成されるが、他の誘電物質でもよい。また上ゲートに関連するゲート誘電体は下ゲートに関連するゲート誘電体から独立している。従ってゲート誘電体は厚みと物質が異なるものでよい。

【0011】

【発明の実施の形態】以下、上下のゲートが電氣的に分離した自己整合ダブル・ゲート金属酸化半導体電界効果トランジスタ(DG-MOSFET)及びその作製方法である本発明について説明する。更に、上下のゲートは異なる物質を含む。

【0012】図1乃至図6に示すように、本発明は一連の層の形成から始まる。まず約2nmの薄い二酸化シリコン1を単結晶ウエハ5A(ドナー・ウエハ)に形成する。次に窒化シリコン層2(これは例えば約100nm厚)を二酸化シリコン層1に形成する。次に厚みのある(例えば約400nm厚)二酸化シリコン層3を窒化層2に形成する。次に結晶ウエハをハンドル・ウエハ4に接合する。この接合は、ボロン・エッチ・ストップ、smartCut、当業者には周知の方法等、一般的シリコン・ウエハ接合法により行われる。(接合法の詳細については、Jean-Pierre ColingeによるSilicon-On-Insulator Technology, 2nd Ed, Kluwer Academic Publishers, 1997を参照されたい。)次にSOI層5をMOSFETチャンネルに必要な厚みに形成する。例えばsmartCut法を用いる場合、薄いSi層がドナー・ウエハ5A表面からハンドル・ウエハ4に移動される。移動されたSi層は通常、SiO₂等の絶縁膜に接合される(従ってsilicon-on-insulator(SOI)と呼ばれる)。移動されたSi層の厚みは、smartCut法の一部である注入水素の深さにより決まる。SOI層は、ハンドル・ウエハ4に移動された後、酸化と剥離により更に薄くすることができる。SOI膜厚は通常、偏光解析法やX線回折法により観測される(G. M. CohenらによるApplied Physics Letters, 75(6), p. 787, August 1999を参照されたい)。

【0013】次に薄い二酸化シリコン層6(約2nm)がSOI層5に形成される。その後、厚みのある窒化シ

リコン層7（約150nm等）が二酸化シリコン層6に形成される。

【0014】最初の層群が完成した後、2つの領域8がエッチングされて膜のスタックが形成される。図7及び図8に示すように、エッチ・ストップ（または同様な制御機能が埋め込み酸化物（BOX）3内に一定距離まで配置される。これら2つの領域間の距離は、作製されたMOSFETゲートの長さ（ L_g ）になる。

【0015】簡潔化のため、ここでは本発明の構造とプロセスについて、様々な断面図を参照して説明する。例えば図7、図9、図11乃至図18、図20、図21、図23、図25、図27、図29、図31、図33乃至図38、図40、図41、図43、図45及び図47は、図8及び図9に示した構造の平面図を線L-Lに沿って切り取った図である。

【0016】本発明では、エッチングされた領域の形状を調整するため一連のステップが実行される。最初に、図9及び図10に示すように、単結晶SOI5チャンネルからエピタキシャル・シリコン（epi）延長部9を選択的に成長させる。epi延長部9は、エッチングされた領域8に延び、エッチングされた領域の全周に成長する。epi延長部9の大きさは、好適には50nmである。延長部は、SiGe、SiGeC、当業者には周知の他の適切な物質等、他の合金の成長によっても得られる。

【0017】次に、図11に示すように、エッチングされた領域8の側壁に側壁スペーサ10が形成される。これは構造全体への誘電体（図示せず）の付着により行われる。誘電体の厚みにより得られるスペーサ10の厚みが決まる。誘電体は、エッチング選択性を与える要素にもなる（例えば、後で酸化物と窒化物の層を付着する等）。好適実施例の場合、反応性イオン・エッチングにより側壁スペーサ10が形成される。また等方性エッチング（反応性イオン・エッチングまたは湿式化学エッチング）により、SOIチャンネルの露出したシリコン延長部からスペーサ誘電体の残留物が取り除かれる。

【0018】次に図12に示すように、ソース／ドレイン領域11が形成される。これは第1に、アモルファス・シリコンまたはポリシリコン11を、エッチングされた領域8に付着することによって行われる。図12に示すように、アモルファス・シリコンは窒化物7の上面より高くなるまで付着される。第2に、機械化学的研磨（CMP：chemical-mechanical polishing）により上面が平坦化される。CMPプロセスは主に、アモルファスSiを除去し、窒化物7に対しては選択的である。次に図13に示すように、反応性イオン・エッチングによりソース／ドレイン領域11のシリコンにリセス12が形成される。最後に、図14に示すようにリセス領域12に誘電体13（酸化物等）が付着され、誘電体はリセス領域12に対して完全に同形になる。その後、CMP

により誘電体が平坦化される。

【0019】また、図15に示すように、構造の上部の形状が調整される。これは第1に、湿式化学エッチング（高温リン酸等）により上窒化物7を取り除くことによって行われる。第2に、図16に示すように側壁14が形成される。側壁は、誘電体を構造全体に対してコンフォーマルに付着し、誘電体をエッチングすることによって形成される。誘電体の厚みにより側壁14の厚みが決まる。第3に、上犠牲パッド酸化物6が湿式化学エッチング（例えばフッ化水素酸）により除去される。次に、図17に示すように、SOIチャンネル5の上面に上ゲート誘電体（酸化物）15を成長させる。上ゲート物質16（例えば、ドーブしたポリシリコンまたはタングステン）がコンフォーマルに付着され、図18に示すようにゲート電極が形成される。最後に、機械化学的研磨により上面が平坦化される。CMPプロセスは主に、窒化物7に対して選択的なスラリを使用して上ゲート物質を取り除く。その後、図19及び図20に示すように、構造にメサ・ハード・マスク17が配置される。メサ・ハード・マスクは、好適には約100nm厚の窒化膜の付着により、窒化層は後でパターン化される。図22、図24、図26、図28、図30、図32、図42、図44、図46及び図48は、図19に示す線W-Wに沿った断面図である。

【0020】具体的には、メサ・ハード・マスク17により個々のデバイスが分離される。構造は次のようにパターン化される。1）図21及び図22に示すように、RIEでSOI膜を超えてエッチングし、窒化物でストップする。2）図23及び図24に示すように、好適には約75nmの低温酸化物（LTO：low temperature oxide）等の誘電体を構造全体にコンフォーマルに付着し、誘電体をエッチングして側壁18を形成する。3）図25及び図26に示すように、BOX3の方へ一定距離エッチングしてメサのエッチングを完了する。このプロセスの間に下窒化物2の側壁も露出する。

【0021】図27及び図28に示すように、本発明では熱酸化物19を成長させ、露出したソース及びドレインの側壁を分離する。次に、図29及び図30に示すように、湿式化学エッチング（高温リン酸等）により下窒化物2と上窒化物ハード・マスク17が取り除かれる。下窒化物2が除去されることで、デバイスの幅方向にトンネル20が、長さ方向に懸吊したブリッジが形成される。また湿式化学エッチング（リン酸等）により下犠牲パッド酸化物1が取り除かれる。

【0022】次に、図31及び図32に示すように、下ゲート電極22が形成される。これは最初、SOIチャンネル5下面に下ゲート誘電体（酸化物）21を成長させることによる。下ゲート物質22（ドーブしたポリシリコン、タングステン等）がコンフォーマルに付着され、下ゲート電極が形成される。次に、CMPにより上面が

平坦化される。CMPプロセスは主に、下ゲート物質を取り除き、LTPに対して選択的である。

【0023】図33に示すように、ソース/ドレイン・キャップ誘電体LTO13がエッチングされる。本発明では、図34に示すように、構造全体に誘電体がコンフォーマルに付着されて側壁23が形成される。ここでも、この誘電体の厚みにより、得られるスペーサの厚みが決まる。誘電体は次にエッチングされ、最終的な側壁23の構造が形成される。

【0024】次に、図35に示すように、自己整合イオン注入24によりソース/ドレイン領域11をドーピングし、シリコン11を重ドーピングする。SOIチャネル領域をイオン注入に対してマスクするため、上ポリ・ゲート16が自己整合注入マスクとして用いられる。ソース/ドレイン注入は、側壁スペーサ23によりチャネル領域からはずれる。注入の後、高速熱アニールによりドーパントが活性化される。

【0025】次に、図37に示すように、自己整合シリサイド・プロセスによりソース/ドレインとゲート11にシリサイド26が形成される。これは当業者には周知の標準的なプロセスにより行われる。例えば、シリサイドの適用に備えて、図36に示すように構造全体にCo（コバルト）、Ti（チタニウム）等の金属25がコンフォーマルに付着され、構造が加熱される。シリサイドの付着後、LTO等の誘電体がシリサイドにコンフォーマルに付着され、LTOキャップ27が形成される（図38）。次にCMPにより上面が平坦化される。CMPプロセスは主に、誘電体物質27を取り除き、シリサイド26やゲート物質16、22に対して選択的である。CMPプロセスの選択性には限度があるため、ゲート・シリサイド26の一部または全部を除去できないことがある。その場合は、自己整合シリサイド・プロセスを繰り返すことで、新しいゲート・シリサイドを形成することができる。次に下ゲート22に最終処理が施される。まず好適には約100nmの窒化物またはLTO膜27が付着され、後にフォトリソグラフィによりパターン化され、図39の平面図と図40の線L-Lに沿った断面図に示すように、下ゲート領域28を画設するハード・マスクが形成される。次に、余分な下ゲート物質22がBOX3までエッチングされ、図41及び図42に示すように、厚みのあるパシベーション誘電体29が付着される。再びCMPにより上面が平坦化される。CMPプロセスは主に、誘電体物質29を取り除き、窒化物ハード・マスク28に対して選択的であってこれを取り除くことはない。次に、図43及び図44に示すように、第2パシベーション誘電体30が付着される。

【0026】次に、図45及び図46に示すように、ソース及びドレイン11、コンタクト・ホール32上にコンタクト・ホール（バイア）31が形成され、2つのゲート16、22上で、フォトリソグラフィのパターン

化とエッチングによりエッチングされる。次に、図47及び図48に示すように、メタライゼーション（金属）33が付着され、後にパターン化されてソース、ドレイン、及び上下のゲート電極との電気コンタクトが形成される。ゲートが短すぎる場合は、2つのレベルのメタライゼーションを適用することで、上ゲートのコンタクトに関して設計ルールに幅をもたせることができる。図49は完成した構造の平面図である。本発明による改良により、従来技術に比べて多くのメリットが得られる。第1に、本発明では上下のゲートが2回の独立したステップで付着され、電氣的に分離した上下ゲートが形成される。これにはいくつか利点がある。例えば、下ゲートはしきい値電圧の制御に使用でき、従って低電力用途に合った混合しきい値電圧（V_t）回路が得られる。

【0027】この構造ではまた回路密度を上げることができる。ゲートが電氣的に分離しているとき、ダブル・ゲートMOSFETは、入力ゲートが2つの端末デバイスを4つ含む。従って、1つのデバイスによりNOR（nFET）、NAND（pFET）セル等のバイナリ論理演算を実現することができる。通常こうしたバイナリ論理演算の実現には、セル毎に2つの標準MOSFETが必要である。回路密度をこのように高めることはアナログ回路でも可能である。例えば、オシレータ電圧を1つのゲートに印加し、信号（データ）電圧をもう1つのゲートに印加することによってミキサーを実現することができる。

【0028】本発明では、上下のゲートを対応するゲート誘電体を個別に成長させるので、ゲートとゲート誘電体は物質及び厚みを変えて形成することができる。また各ゲートに導入するドーピング・レベルとドーピング種を同じにする必要はない。従って、非対称ゲートを作製することができる。非対称ダブル・ゲートMOSFETは例えば、静的ランダム・アクセス・メモリ（SRAM）用途のように、スピードを得るためゲートを一括接合し、ゲートを個別に使用して低電力と高密度を達成するような混合用途に最も有用である。また本発明では、プレーナの構造が得られるので、デバイスの接続が容易になる。良好なしきい値電圧動作を得るため、約3nm乃至約5nm厚の極薄チャネルを持つデバイスを必要とすることがある。薄い層を持つ懸吊したシリコン・ブリッジを作製すると、全体の歩留まりが低下することがある。本発明では、厚みのある層22を持つチャネルがサポートされる。従って、本発明では極薄チャネルを持つデバイスを作製でき、そのようなデバイスで良好なしきい値電圧挙動が得られる。本発明はまた、直列抵抗を下げる自己整合シリサイド・プロセスを利用している。

【0029】本発明は、好適実施例に関して説明したが、当業者には明らかなように、特許請求の範囲の主旨及び範囲から逸脱することなく変更を加えて実施することができる。

【0030】まとめとして、本発明の構成に関して以下の事項を開示する。

【0031】(1) チャネル領域と、前記チャネル領域の上の第1ゲートと、前記チャネル領域の下第2ゲートと、を含み、前記第1ゲート及び前記第2ゲートが互いに電氣的に分離した、トランジスタ。

(2) 前記第1ゲートは前記第2ゲートとドーピング濃度が異なる、前記(1)記載のトランジスタ。

(3) 前記第1ゲートは前記第2ゲートとドーピング種が異なる、前記(1)記載のトランジスタ。

(4) 前記第1ゲートの下に第1ゲート誘電体を、前記第2ゲートの上に第2ゲート誘電体を含む、前記(1)記載のトランジスタ。

(5) 前記第1ゲートに第1導電コンタクトが、前記第2ゲートに第2導電コンタクトがあり、該第1導電コンタクトと該第2導電コンタクトはコプラナである、前記(1)記載のトランジスタ。

(6) 前記第1ゲートは前記第2ゲートとは異なる物質を含む、前記(1)記載のトランジスタ。

(7) 前記第1ゲートは前記第2ゲートとは厚みが異なる、前記(1)記載のトランジスタ。

(8) 前記第1ゲート、前記第2ゲート、及びチャネル領域により平坦化された構造が形成される、前記(1)記載のトランジスタ。

(9) 前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、前記(4)記載のトランジスタ。

(10) 前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、前記(4)記載のトランジスタ。

(11) 少なくとも1つのトランジスタを持つ半導体チップであって、該トランジスタは、チャネル領域と、前記チャネル領域の上の第1ゲートと、前記チャネルゲートの下第2ゲートと、を含み、前記第1ゲートは前記第2ゲートとは異なる物質を含む、半導体チップ。

(12) 前記第1ゲートと前記第2ゲートはドーパント濃度が異なる、前記(11)記載の半導体チップ。

(13) 前記第1ゲートと前記第2ゲートはドーパント種が異なる、前記(11)記載の半導体チップ。

(14) 前記第1ゲートの下に第1ゲート誘電体を、前記第2ゲートの上に第2ゲート誘電体を含む、前記(11)記載の半導体チップ。

(15) 前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、前記(14)記載の半導体チップ。

(16) 前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、前記(14)記載の半導体チップ。

(17) 前記第1ゲートに第1導電コンタクトが、前記第2ゲートに第2導電コンタクトがあり、該第1導電コンタクトと該第2導電コンタクトはコプラナである、前記(11)記載の半導体チップ。

(18) 前記第1ゲートと前記第2ゲートは電氣的に分

離した、前記(11)記載の半導体チップ。

(19) 前記第1ゲートと前記第2ゲートは厚みが異なる、前記(11)記載の半導体チップ。

(20) 前記第1ゲート、前記第2ゲート、及び前記チャネル領域により平坦化された構造が形成される、前記(11)記載の半導体チップ。

(21) トランジスタを形成する方法であって、チャネル領域上に第1ゲートを含む積層構造を形成するステップと、前記チャネル領域下の前記積層の一部を取り除くステップと、前記チャネル領域の下に第2ゲートを形成するステップと、を含み、前記第1ゲートと前記第2ゲートは互いに電氣的に分離した、方法。

(22) 前記第1ゲートは前記除去プロセスの間に前記チャネル領域を支持する、前記(21)記載のトランジスタ形成方法。

(23) 前記第1ゲートと前記第2ゲートはドーパント濃度が異なる、前記(21)記載のトランジスタ形成方法。

(24) 前記第1ゲートと前記第2ゲートに異なるドーピング種を適用するステップを含む、前記(21)記載のトランジスタ形成方法。

(25) 前記第1ゲート下に第1ゲート誘電体を、前記第2ゲート上に第2ゲート誘電体を形成するステップを含む、前記(21)記載のトランジスタ形成方法。

(26) 前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、前記(24)記載のトランジスタ形成方法。

(27) 前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、前記(24)記載のトランジスタ形成方法。

(28) 前記第1ゲート下に第1ゲート酸化物を、前記第2ゲート上に第2ゲート酸化物を形成するステップを含む、前記(21)記載のトランジスタ形成方法。

(29) 前記第1ゲートに第1導電コンタクトが、前記第2ゲートに第2導電コンタクトがあり、該第1導電コンタクトと該第2導電コンタクトはコプラナである、前記(21)記載のトランジスタ形成方法。

(30) 前記第1ゲートは前記第2ゲートとは異なる物質を含む、前記(21)記載のトランジスタ形成方法。

(31) 前記第1ゲートは前記第2ゲートとは厚みが異なる、前記(21)記載のトランジスタ形成方法。

(32) 前記第1ゲート、前記第2ゲート、及び前記チャネル領域により平坦化された構造が形成される、前記(21)記載のトランジスタ形成方法。

(33) ダブル・ゲート・トランジスタを作製する方法であって、チャネル層及び該チャネル層の各側面に第1絶縁層を持つ積層構造を形成するステップと、前記積層構造に開口を形成するステップと、前記開口にソース及びドレインの領域を形成するステップと、前記積層構造の一部を除去して前記チャネル層の第1部分を露出した

まま残すステップと、前記チャンネル層上に第1ゲート誘電体を形成するステップと、前記第1ゲート誘電層上に第1ゲート電極を形成するステップと、前記積層構造の一部を除去し、前記チャンネル層の第2部分を露出したまま残すステップと、前記チャンネル層上に第2ゲート誘電層を形成するステップと、前記第2ゲート誘電層上に第2ゲート電極を形成するステップと、前記ソース及びドレインの領域をドーピングするステップと、を含み、前記第1ゲート電極と前記第2ゲート電極が互いに個別に形成される、方法。

(34) 前記第1及び第2のゲート電極は電氣的に分離した、前記(33)記載の方法。

(35) 前記ソース及びドレインの領域の前記ドーピングは自己整合イオン注入を含む、前記(33)記載の方法。

(36) 前記第1ゲート電極を前記第2ゲート電極より厚みが大きくなるよう形成するステップを含む、前記(33)記載の方法。

(37) 前記第1ゲートを前記第2ゲートより幅が大きくなるよう形成するステップを含む、前記(33)記載の方法。

(38) 前記第1ゲート誘電体を前記第2ゲート誘電体より幅が大きくなるよう形成するステップを含む、前記(33)記載の方法。

(39) 前記第1ゲートは第1物質から、前記第2ゲートは第2物質から形成するステップを含む、前記(33)記載の方法。

(40) 前記第1ゲート誘電体は第1物質から、前記第2ゲート誘電体は第2物質から形成するステップを含む、前記(33)記載の方法。

(41) 前記積層構造の一部を除去する前記ステップは、前記チャンネル層の第2部分を露出したまま残し、前記積層にトンネルを形成するステップを含み、該トンネルは上層と下層の間に形成される、前記(33)記載の方法。

(42) 前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、前記(33)記載の方法。

(43) 前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、前記(33)記載の方法。

【図面の簡単な説明】

【図1】積層を作製するための付着と接合の一部を示す図である。

【図2】積層を作製するための付着と接合の一部を示す図である。

【図3】積層を作製するための付着と接合の一部を示す図である。

【図4】積層を作製するための付着と接合の一部を示す図である。

【図5】積層を作製するための付着と接合の一部を示す図である。

【図6】積層を作製するための付着と接合の一部を示す図である。

【図7】図8の線L-Lに沿った断面を示す図である。

【図8】本発明に従って作製されたDG-MOSFETの平面図である。

【図9】図10の線L-Lに沿った断面を示す図である。

【図10】本発明に従って作製されたDG-MOSFETの平面図であり、エピタキシによるソース、ドレイン領域へのSOIチャンネルの延長部を示す図である。

【図11】側壁スペーサを示す図である。

【図12】ソース、ドレインのトレンチをソース/ドレイン物質で埋めるプロセスとその後のCMPによる平坦化を示す図である。

【図13】ソース、ドレインのリセス（凹部）を示す図である。

【図14】誘電物質で埋められたソース、ドレインのリセス領域を示す図である。

【図15】窒化物上層のエッチングを示す図である。

【図16】側壁の形成を示す図である。

【図17】上ゲート誘電体の成長後の構造を示す図である。

【図18】上ゲート物質の付着後の構造とCMPによるその平坦化を示す図である。

【図19】デバイス・メサを画設する窒化物ハード・マスクを持つ構造を示す図である。

【図20】図19の線L-Lに沿った断面を示す図である。

【図21】メサ・エッチング後の線L-Lに沿った構造を示す図である。

【図22】メサ・エッチング後の線W-Wに沿った構造を示す図である。

【図23】線L-Lに沿った側壁を示す図である。

【図24】線W-Wに沿った側壁を示す図である。

【図25】メサ・エッチングがBOXまで続いた後の線L-Lに沿った構造を示す図である。

【図26】メサ・エッチングがBOXまで続いた後の線L-Lに沿った構造を示す図である。

【図27】線L-Lに沿った構造と、露出したソース、ドレインの側壁の酸化による分離を示す図である。

【図28】線W-Wに沿った構造と、露出したソース、ドレインの側壁の酸化による分離を示す図である。

【図29】下窒化層が湿式エッチングで除去された後の線L-Lに沿った構造を示す図である。

【図30】下窒化層が湿式エッチングで除去された後の線W-Wに沿った構造を示す図である。

【図31】下ゲート誘電体の成長、下ゲート物質の付着、及びCMPによる平坦化の後の線L-Lに沿った構造を示す図である。

【図32】下ゲート誘電体の成長、下ゲート物質の付

着、及びCMPによる平坦化の後の線W-Wに沿った構造を示す図である。

【図33】ソース／ドレイン・リセス領域から誘電体が除去され、側壁が形成された後の線L-Lに沿った構造を示す図である。

【図34】ソース／ドレイン・リセス領域から誘電体が除去され、側壁が形成された後の線W-Wに沿った構造を示す図である。

【図35】自己整合ソース／ドレインの注入を線L-Lに沿って示す図である。

【図36】自己整合シリサイドの形成を線L-Lに沿って示す図である。

【図37】自己整合シリサイドの形成を線L-Lに沿って示す図である。

【図38】誘電物質で再び埋められたソース、ドレインのリセス領域を線L-Lに沿って示す図である。

【図39】余分な下ゲート物質のエッチングに用いられる窒化物ハード・マスクの平面図と線L-Lに沿った図である。

【図40】余分な下ゲート物質のエッチングに用いられる窒化物ハード・マスクの平面図と線W-Wに沿った図である。

【図41】誘電体の付着及びCMPによるデバイスのパシベーションと平坦化を線L-Lに沿って示す図である。

【図42】誘電体の付着とCMPによるデバイスのパシベーションと平坦化を線W-Wに沿って示す図である。

【図43】誘電体の付着とCMPによるデバイスのパシベーションと平坦化を線L-Lに沿って示す図である。

【図44】誘電体の付着とCMPによるデバイスのパシベーションと平坦化を線W-Wに沿って示す図である。

【図45】デバイスのソース、ドレイン、及び上下のゲ

ートに接触するためのコンタクト・ホール（バイア）開口を示す図である。

【図46】デバイスのソース、ドレイン、及び上下のゲートに接触するためのコンタクト・ホール（バイア）開口を示す図である。

【図47】デバイスのソース、ドレイン、及び上下のゲートに接触するためのコンタクト・ホール（バイア）開口を示す図である。

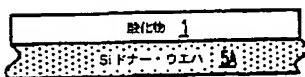
【図48】本発明に従って部分的に完成した構造を線W-Wに沿って示す図である。

【図49】本発明の構造の平面図である。

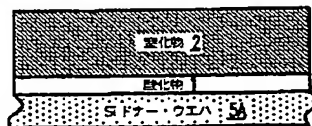
【符号の説明】

- 1、3、6 酸化物
- 2、7 窒化物
- 4 ウエハ
- 5 SOI
- 5A Siドナー・ウエハ
- 10、14、18、23 側壁
- 11 a-Si
- 12 リセス
- 13、27、29、30 LOT
- 15 上ゲート酸化物
- 16 上ゲート
- 17、22、28 窒化物ハード・マスク
- 19 分離酸化物
- 21 下ゲート酸化物
- 24 ドーパント注入
- 25 シリサイド金属
- 26 シリサイド
- 31、32 バイア
- 33 金属

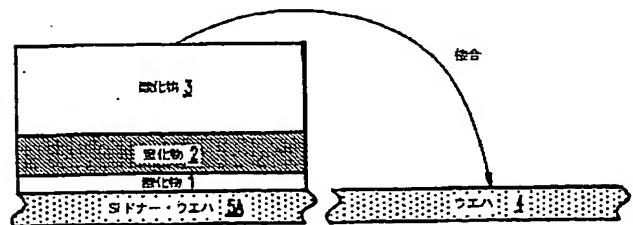
【図1】



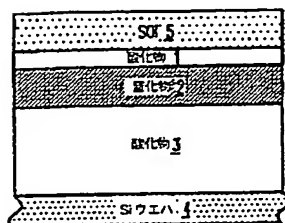
【図2】



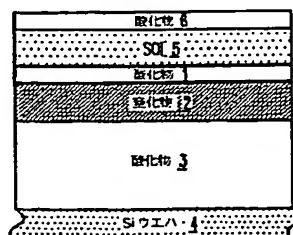
【図3】



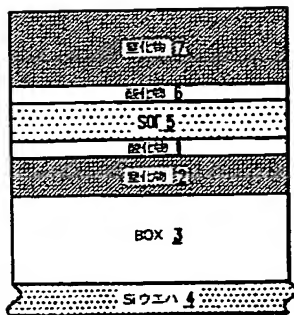
【図4】



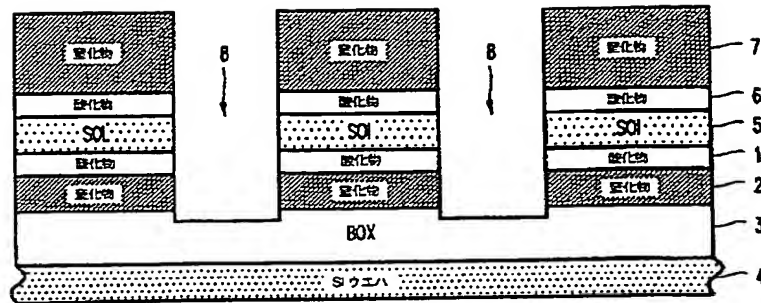
【図5】



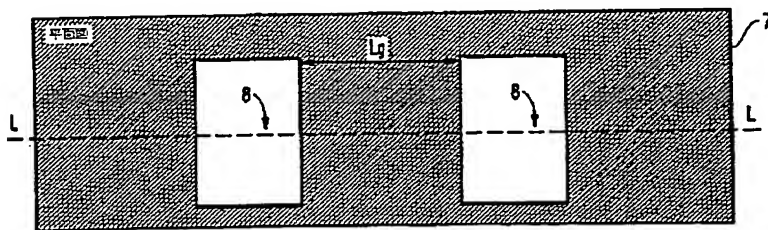
【図6】



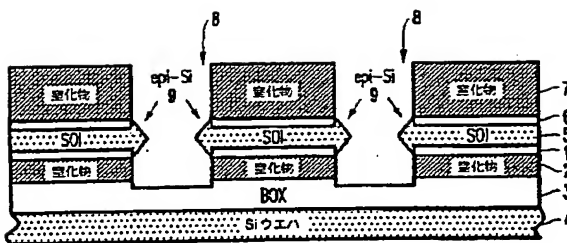
【図7】



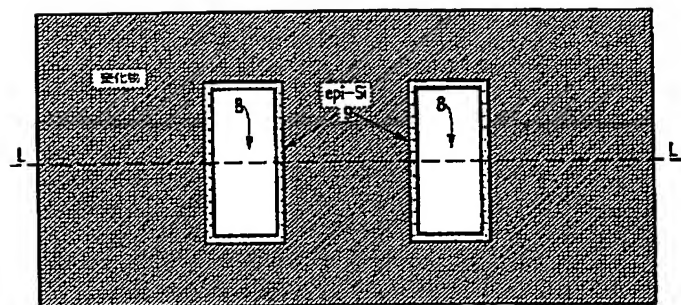
【図8】



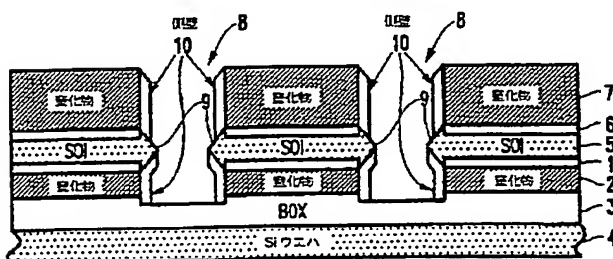
【図9】



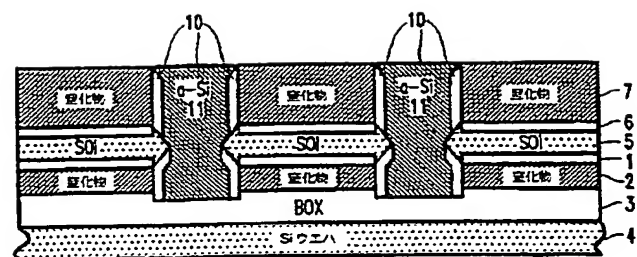
【図10】



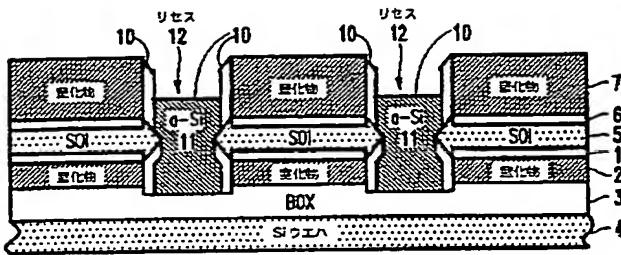
【図11】



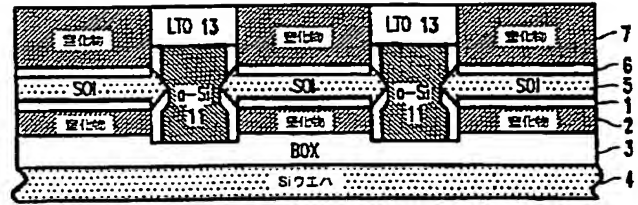
【図12】



【図13】

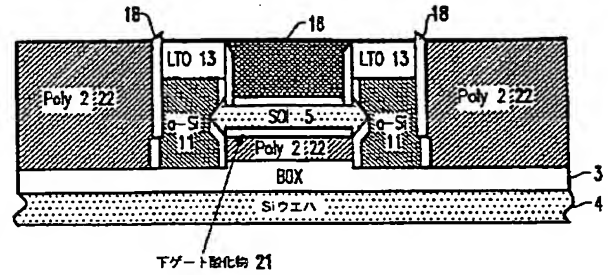
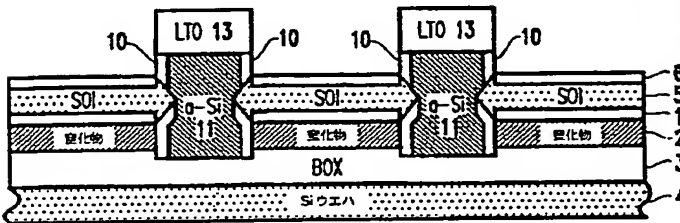


【図14】



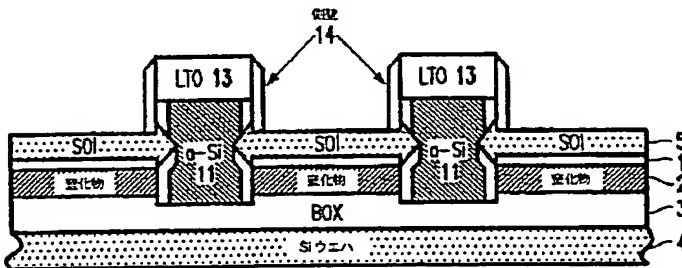
【図31】

【図15】

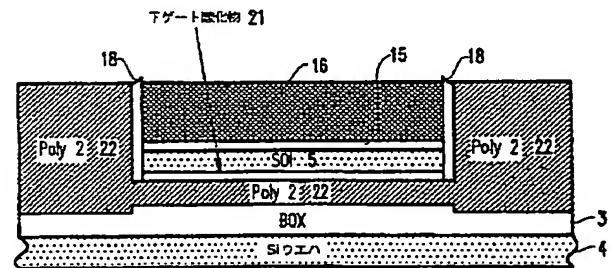


下ゲート酸化物 21

【図16】

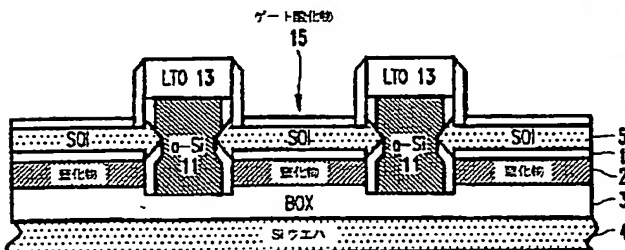


【図32】

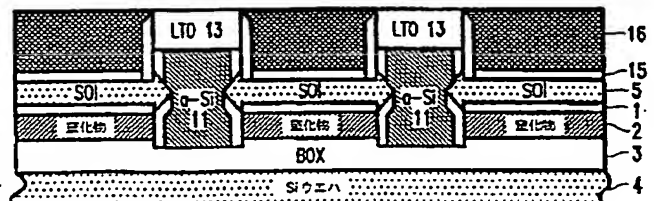


下ゲート酸化物 21

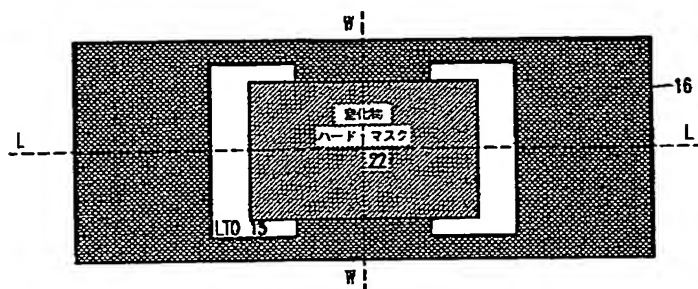
【図17】



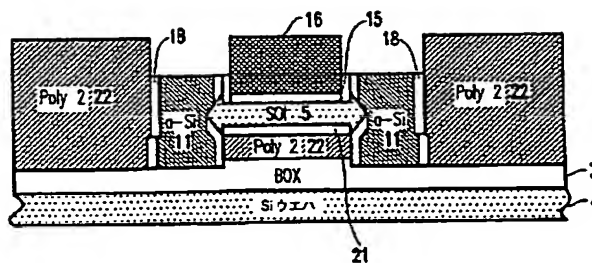
【図18】



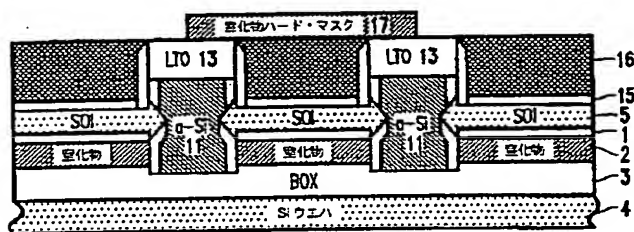
【図19】



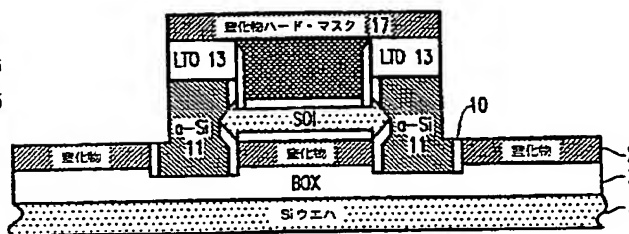
【図33】



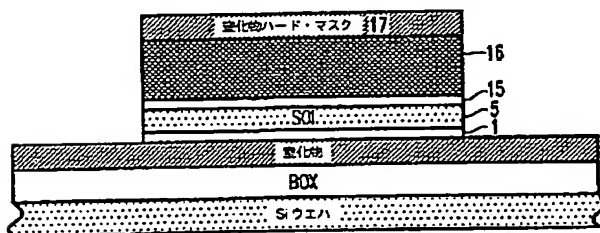
【図20】



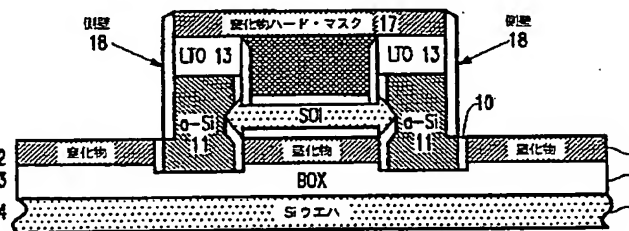
【図21】



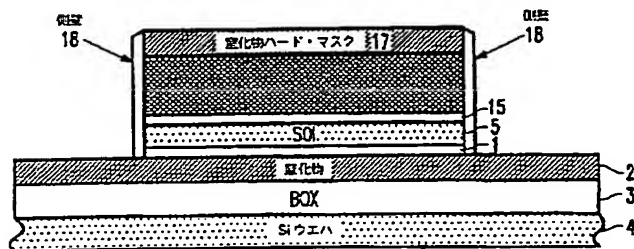
【図22】



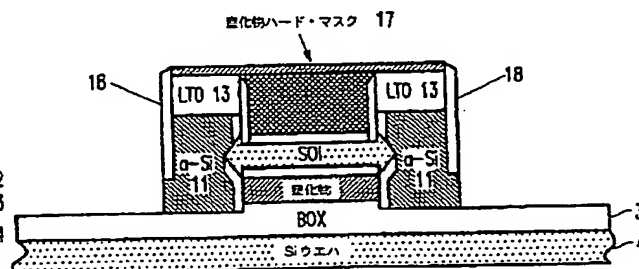
【図23】



【図24】

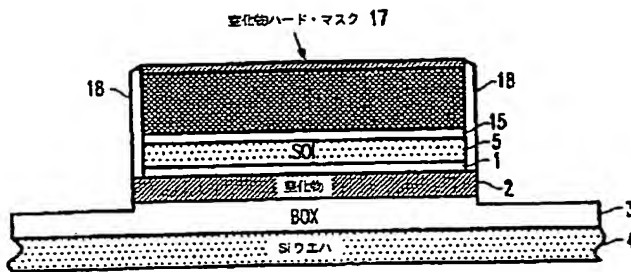


【図25】

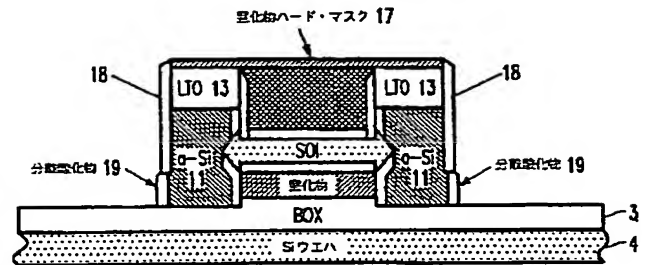


BEST AVAILABLE COPY

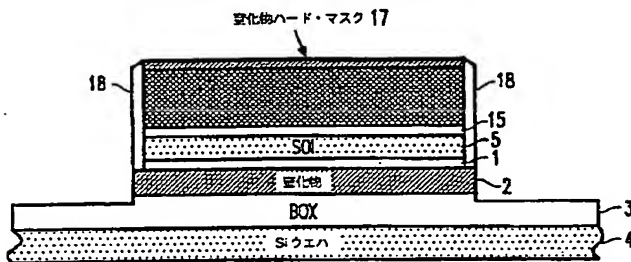
【図26】



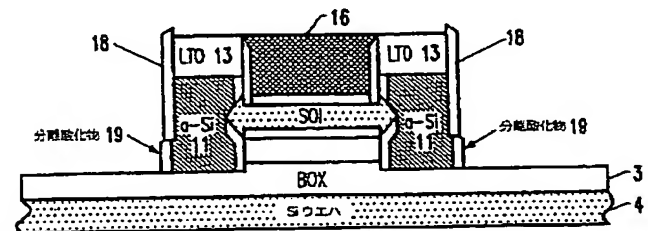
【図27】



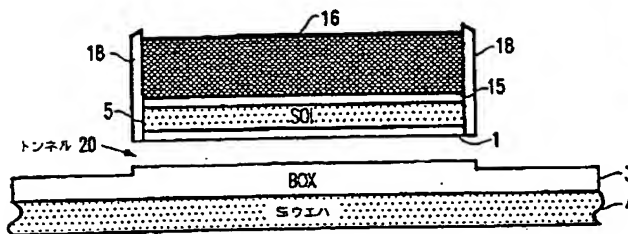
【図28】



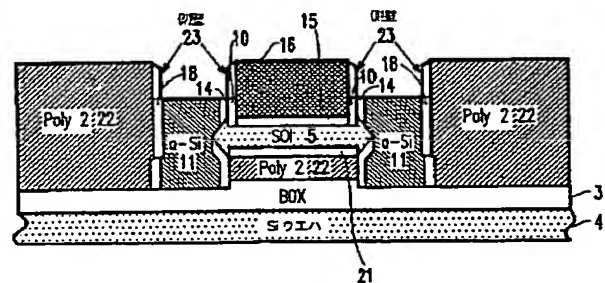
【図29】



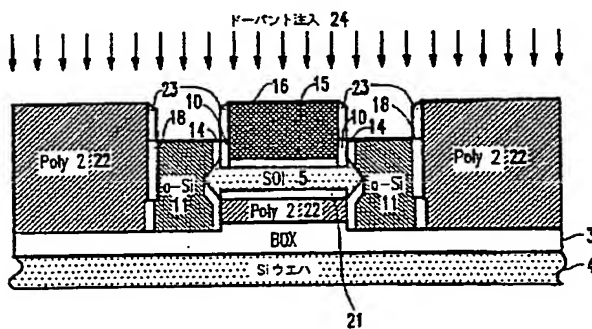
【図30】



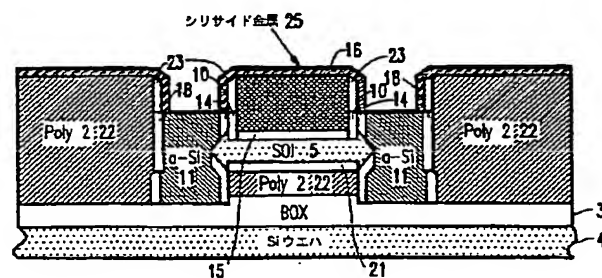
【図34】



【図35】

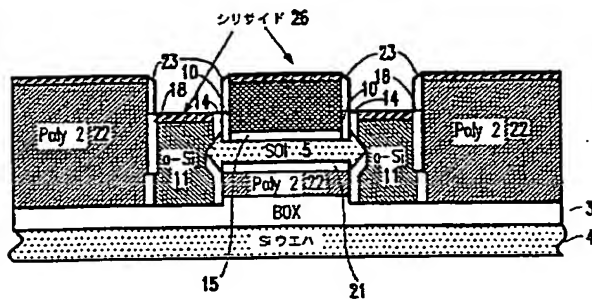


【図36】

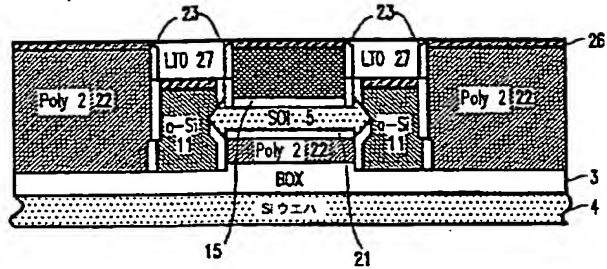


BEST AVAILABLE COPY

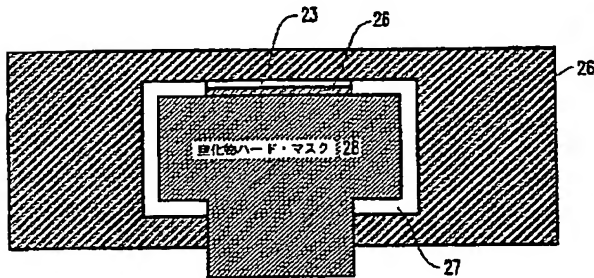
【図37】



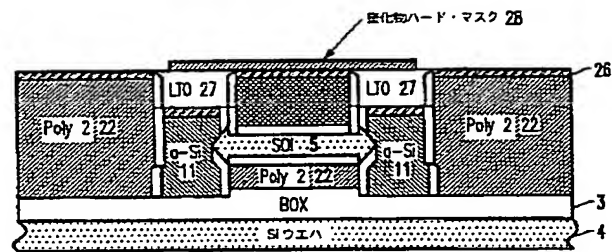
【図38】



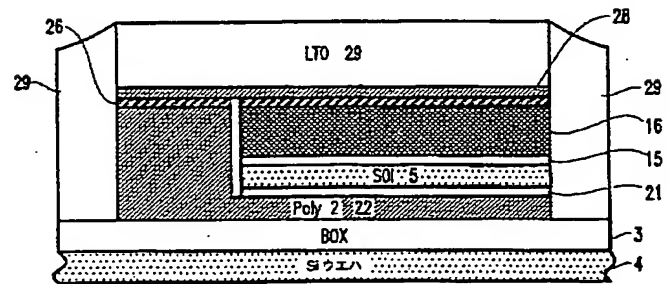
【図39】



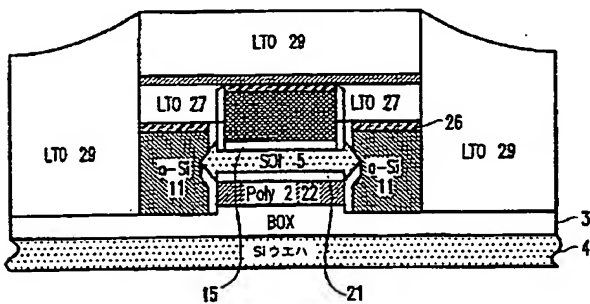
【図40】



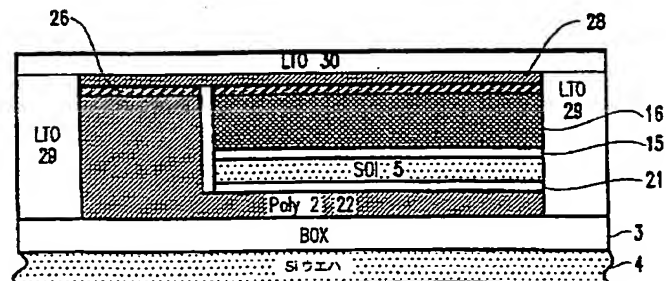
【図42】



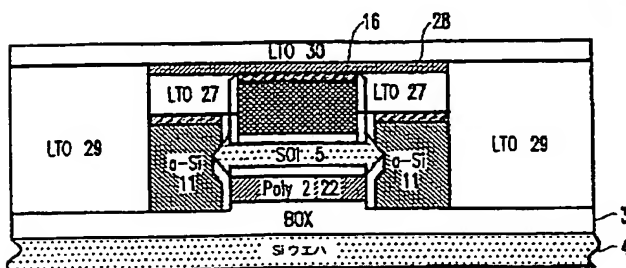
【図41】



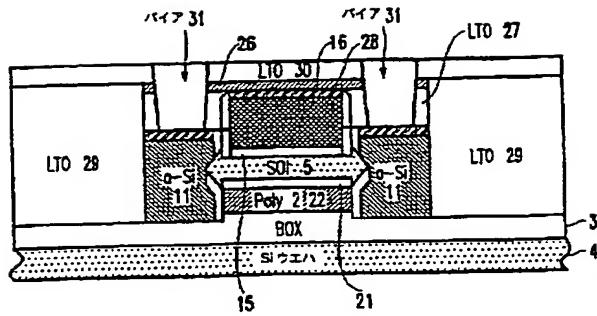
【図44】



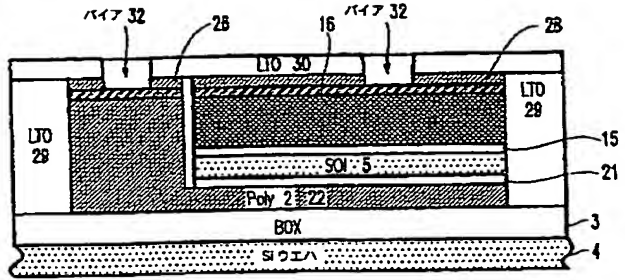
【図43】



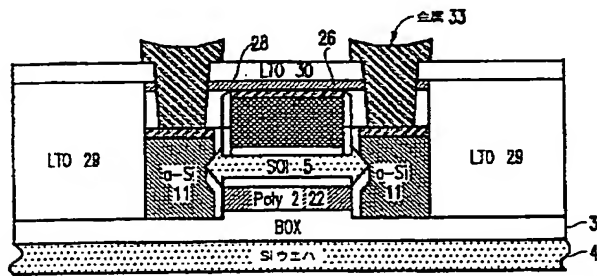
【図45】



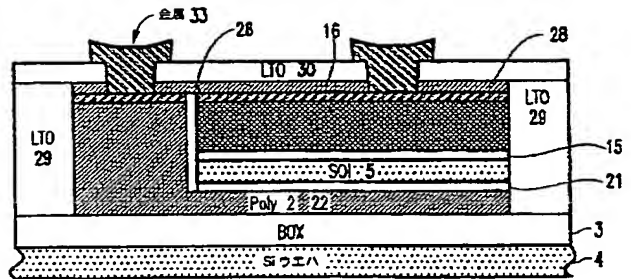
【図46】



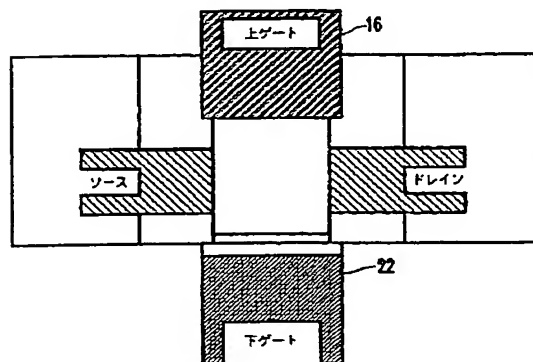
【図47】



【図48】



【図49】



フロントページの続き

- (72) 発明者 ガイ・コーエン
 アメリカ合衆国10547、ニューヨーク州モ
 ーガン・レイク、ニュー・チャレット・ド
 ライブ 157
- (72) 発明者 ホン・サン・フィリップ・ウォン
 アメリカ合衆国10514、ニューヨーク州チ
 ャパクア、バレー・ビュー・ロード 15

Fターム(参考) 5F110 AA08 BB03 CC10 DD05 DD13
 EE04 EE05 EE09 EE22 EE30
 EE32 EE41 FF02 FF12 GG02
 GG12 GG22 GG25 GG28 HJ11
 HJ13 HJ23 HK05 HK09 HK14
 HK16 HK31 HK41 NN02 NN62
 QQ11 QQ16 QQ17